Co było nie do pojęcia kilka lat temu, dziś jest w prawie każdym domu, co trudno pojąć dziś – za parę lat będzie do kupienia w sklepie. Tak jest też z cyfrową obróbką sygnałów, już dziś powszechną, choć mało kto zdaje sobie sprawę, że jest ona wokół nas. Jako bezpośrednie przełożenie matematyki na technikę jest skomplikowana, ale nie niezrozumiała. Trzeba jednak mieć o tym przynajmniej pojęcie. W cyklu artykułów, który rozpoczynamy, nie da się ominąć kilku niezbyt skomplikowanych wzorów matematycznych. Autor próbuje to zresztą przedstawić w sposób możliwie "przyziemny", choć jest to zadanie trudne. Trzeba być świadomym, że teraźniejszość i przyszłość elektroniki to nie wzmacniacz z kilkoma tranzystorami, lecz takie właśnie systemy, o których się tu mówi.

Cyfrowa obróbka sygnałów (1)

Krzysztof Dąbrowski OE1KDA

Wzrastająca szybkość pracy układów komputerowych otwiera przed nimi nową dziedzinę zastosowań – cyfrową obróbkę sygnałów COS (po angielsku określaną jako Digital Signal Processing – DSP).

Podstawę obróbki cyfrowej przedstawiono i wyjaśniono na rys. 1. Analogowy system zmienny jest przetwarzany w stałych odstępach czasu na postać cyfrową w przetworniku analogowo-cyfrowym (dalej, w skrócie, a/c). Zasada próbkowania sygnałów wymaga, aby dla bezbłędnego uchwycenia przebiegu częstotliwość próbkowania była co najmniej dwa razy większa od maksymalnej częstotliwości sygnału próbkowanego. Dlatego też konieczne jest użycie wejściowego filtru dolnoprzepustowego. Charakterystyka filtrów rzeczywistych odbiega od idealnie prostokątnej, zatem w praktyce częstotliwość graniczna filtru musi być mniejsza od połowy częstotliwości próbkowania. Otrzymany w ten sposób sygnał cyfrowy jest przetwarzany w układzie realizującym żądaną funkcję (np. filtrację) w sposób cyfrowy, a następnie zamieniany w przetworniku cyfrowo-analogowym (dalej, w skrócie, c/a) na sygnał analogowy, sterujący dalsze stopnie urządzenia akustycznego lub radiokomunikacyjnego. Wyjściowy filtr dolnoprzepustowy odfiltrowuje wyższe harmoniczne schodkowego sygnału przetwornika c/a.

Cyfrowy układ przetwarzający może być oczywiście wykonany jako klasyczny układ logiczny, realizuje on jednak wówczas jedną wybraną funkcję lub zespół funkcji pokrewnych i nie umożliwia łatwych zmian i dopasowań do zmieniających się potrzeb. Dopiero zastosowanie układów mikroprocesorowych zapewnia pożądaną elastyczność – możliwość zmiany parametrów lub całych funkcji układu za pomocą prostej wymiany programu lub wywołania innego zbioru zainstalowanych podprogramów.

Dość skomplikowana konstrukcja klasycznych układów logicznych powoduje konieczność upraszczania algorytmów i stosowania daleko idących przybliżeń. Ich zaletą jest za to dużo większa niż w przypadku systemów mikroprocesorowych szybkość działania, umożliwiająca pracę w zakresie większych częstotliwości – do kilkudziesięciu, a nawet kilkuset MHz. Do tych zastosowań jest produkowany cały szereg typów układów scalonych realizujących określone funkcje. Są to m.in. syntezery częstotliwości i dekodery systemu telewizyjnego D2-MAC. Niektóre z nich, przewidziane do rozszerzenia możliwości systemów mikroprocesorowych, są od razu dostosowane do bezpośredniego podłączenia do szyn adresowych i danych mikroprocesorów. W zależności od pożądanej szybkości pracy są one konstruowane techniką TTL lub ECL. Układy te wytwarzane wielkoseryjnie umożliwiają obniżenie kosztów gotowego sprzętu; do celów amatorskich i eksperymentalnych korzystniejsze jest jednak zastosowanie rozwiązania mikroprocesorowego.

Cyfrowa obróbka sygnałów daje wiele korzyści konstruktorom i użytkownikom urządzeń elektronicznych. Raz sprawdzony i funkcjonujący zadowalająco program może być powielany i instalowany w produkowanych seryjnie urządzeniach bez konieczności skomplikowanego ich zestrajania. Upraszcza to nie tylko produkcję ale i naprawy urządzeń oraz obniża koszty.

Dalsze obniżenie kosztów jest osiągane dzięki uniknięciu stosowania drogich elementów, jak np. filtrów kwarcowych, a wymiana oprogramowania na nowsze wersje umożliwia łatwe dopasowywanie sprzętu do nowych wymagań techniki bez jego rozbudowy i przeróbek.

Funkcje zrealizowane za pomocą odpowiednich algorytmów matematycznych (np. filtry) są niewrażliwe na tolerancje użytych elementów, wpływy temperatury i starzenie się podzespołów, a uzyskane wyniki są w wysokim stopniu powtarzalne i umożliwiają konstruowanie układów trudnych do uzyskania w wydaniu analogowym (filtrów o b. dużej dobroci) lub zbyt skomplikowanych, aby mogły być zastosowane w praktyce.

Stosowane obecnie układy komputerowe nadają się do układów cyfrowej obróbki sygnałów pracujących w zakresach częstotliwości akustycznych, wizyjnych lub z p.cz. odbiorników. Z pewnością w niedługim czasie będzie możliwe rozszerzenie zakresu pracy do członów w.cz.

Ze względu na konieczną b. dużą szybkość przetwarzania realizacja układów cyfrowej obróbki sygnałów stała się możliwa dopiero po wprowadzeniu szybkich procesorów 16– i 32–bitowych. Ostatnio skonstruowano szereg typów procesorów specjalnie przewidzianych do tego celu, o odpowiednio dobranej architekturze i zestawie rozkazów. Wymagana szybkość pracy jest osiągana w nich m.in. dzięki użyciu większej liczby szybkich rejestrów wewnętrznych, rozdzieleniu obszarów adresowych programu i danych, wczytywaniu kolejnych rozkazów do wewnętrznej "kolejki" – rejestru FIFO oraz zastąpieniu mikroprogramów ich realizacją układową.

Jednocześnie dokonują się duże zmiany układowe, ponieważ niektóre, obecnie mało popularne rozwiązania (np. "trzecia metoda" generacji sygnału SSB), są łatwiejsze do przedstawienia w postaci algorytmu niż obecnie stosowane rozwiązania klasyczne (w tym przypadku metoda filtrowa).

Występującym w układach analogowych podstawowym grupom układów, jak wzmacniacze, tłumiki, filtry i układy nieliniowe (mieszacze i detektory), można przyporządkować odpowiednie grupy algorytmów stosowanych w technice COS.

Wzmocnienie lub tłumienie sygnału jest osiągane za pomocą pomnożenia sygnału wejściowego przez odpowiedni stały współczynnik (lub jego odwrotność dla uniknięcia czasochłonnego dzielenia).

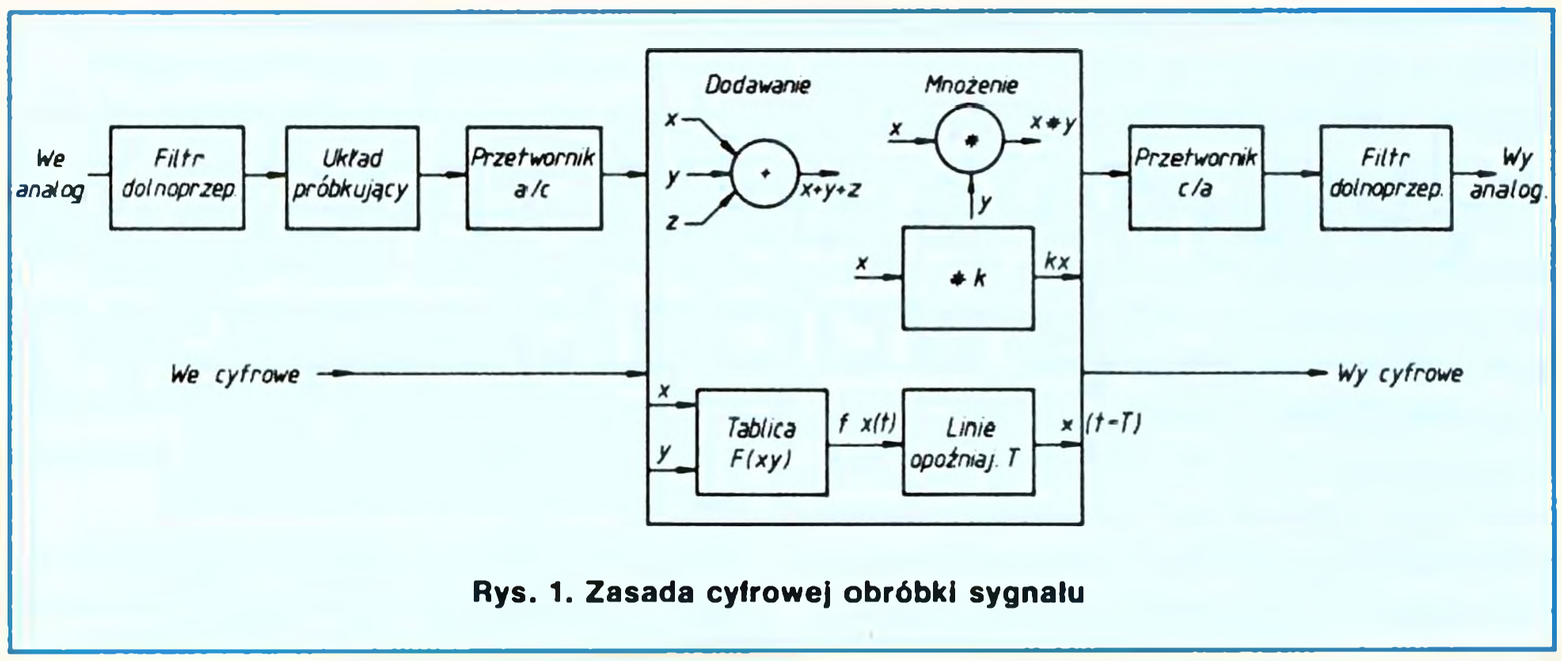
Algorytmy filtrów wykorzystują odpowiednio dobrane opóźnienia czasowe, na ogół równe wielokrotności okresu próbkowania, natomiast układy nieliniowe są zastąpione odpowiednimi funkcjami nieliniowymi, np. prostowanie sygnału sprowadza się do zwykłej zmiany jego znaku.

W przypadku bardziej skomplikowanych obliczeń trygonometrycznych, pierwiastkowania itp., algorytm obliczając może korzystać z tablic wartości zapisanych w pamięci systemu.

Procesory i układy logiczne

Jak już wspomniano, najprostszym i najtańszym rozwiązaniem jest zastosowanie

w układzie COS jednego ze zwykłych, rozpowszechnionych typów procesorów.
Szybkość przetwarzania procesorów 8-bitowych jest zbyt mała, nawet do obróbki sygnałów akustycznych, dlatego w grę wchodzą tu dopiero procesory 16-bitowe. Za pomocą prostych eksperymentów jest możliwe oczywiście wypróbowanie niektórych (zwłaszcza opartych na tablicach wartości) algorytmów pod warunkiem zastosowania ich do obróbki odpowiednio wolnozmiennych sygnałów (niektórych wielkości pomiarowych). Szybkość przetwarzania procesorów 16-bitowych jest co najmniej o dwa rzędy wielkości większa. Spowodowane jest to nie tylko podwójną szerokością słowa i większymi częstotliwościami zegarowymi ale przede wszystkim wszechstronniejszym zbiorem rozkazów oraz dodatkowym wyposażeniem w układy mnożące, umożliwiającym wykonanie operacji w ciągu jednego lub kilku cykli zegarowych, podczas gdy mikroprogram potrzebowałby ich od kilkuset, do kilku tysięcy. Znaczny wpływ na wzrost szybkości pracy procesorów ma też zwiększenie liczby rejestrów wewnętrznych oraz zastosowanie specjalnego szeregowego bufora rozkazów (pipeline).
Systemy 16-bitowe umożliwiają dość skomplikowaną nawet obróbkę sygnałów w zakresach akustycznych, co umożliwia również konstruowanie filtrów 10 i wyższych rzędów, modemów dla szybkości transmisji 1200 Bd, dekodowanie protokołu AX.25 lub obliczanie 256-punktowej szybkiej transformaty Fouriera. Dalsze rozszerzenie zakresu zastosowań jest możliwe dzięki użyciu procesorów 32-bitowych, pod warunkiem efektywnego wykorzystania całego zbioru rozkazów oraz pełnej szerokości słowa.
Dodanie do systemu koprocesora matematycznego nie przynosi w zasadzie znacznych zysków, jego znaczna szybkość jest wykorzystywana dopiero podczas wykonywania obliczeń zmiennoprzecinkowych o dużej dokładności (80-bitowa mantysa) rzadziej stosowanych w algorytmach COS.
Ostatnio coraz bardziej rozpowszechniają się specjalne procesory COS – procesory sygnałowe. Ich architektura i zbiory rozkazów są dostosowane do tej, ściśle określonej grupy zadań i umożliwiają osiągnięcie szybkości przetwarzania o co najmniej rząd wielkości większej niż szybkość zwykłych procesorów 16-bitowych. W odróżnieniu od rozpowszechnionej architektury Von Neumanna (wspólny obszar adresowy programu i danych) procesory sygnałowe są wyposażone w oddzielne szyny danych i rozkazów (a zatem w oddzielne obszary adresowe), najczęściej 16- lub 32-bitowe. Architektura ta jest znana pod nazwą architektury Harvard. Procesory te zawierają dodatkowo szereg



Rys. 1. Zasada cyfrowej obróbki sygnału

wewnętrznych układów sumatorów, przesuwników i mnożących.
Obliczanie iloczynu dwóch wielkości 16-bitowych trwa ok. 100 ÷ 200 nS, dla procesorów 16-bitowych ogólnego zastosowania – kilka μS, a dla procesorów 8-bitowych – rzędu kilkuset μS.
Struktura wewnętrzna procesorów sygnałowych jest bardziej skomplikowana, a rozmiary obszarów adresowych mniejsze niż w przypadku zwykłych procesorów. Typową wielkością jest tu np. 4 k słów. Dla zwiększenia szybkości pracy i zmniejszenia liczby połączeń zewnętrznych pamięć RAM, a także ROM (lub EPROM) jest scalona we wspólnym obwodzie z CPU. W przypadku konieczności dołączenia pamięci zewnętrznej czasy dostępu do niej są dłuższe niż czasy dostępu do pamięci wewnętrznej. W wielu układach konieczne jest też użycie dodatkowego zwykłego mikroprocesora.
W celu dokładniejszego zorientowania Czytelnika w konstrukcji i parametrach produkowanych obecnie procesorów sygnałowych przedstawiam ich krótki przegląd.
Pierwszy typ procesora sygnałowego – TMS32010 firmy Texas Instruments produkowanego od 1982 r. jest stosunkowo niedrogi. Najważniejsze cechy charakterystyczne tego procesora, to:

- architektura wewnętrzna – zmodyfikowana architektura Harvard;
- 16-to bitowe szyny danych i rozkazów;
- częstotliwość zegarowa 20 MHz – długość cyklu 200 ns (16-bitowe mnożenie trwa również tylko 1 cykl);
- akumulator i ALU (jednostka arytmetyczno-logiczna – arithmetic-logic unit) 32-bitowe;
- zewnętrzna pamięć programu – długość 4 k słów (16-bitowych);
- wewnętrzna pamięć RAM – długość 144 słów, brak możliwości dołączenia pamięci zewnętrznej.

Opierając się na procesorze sygnałowym TMS32010 opracowano całą rodzinę procesorów sygnałowych w technologii NMOS i CMOS. Nowsze rozwiązania to już 32-bitowe procesory stosujące arytmetykę zmiennoprzecinkową.
Procesor μPD77230 firmy NEC zalicza się do trzeciej generacji procesorów sygnałowych. Zawiera on ok. 380 tys. tranzystorów i charakteryzuje się:
– architekturą Harvard,
– długością cyklu 150 ns,
– trójrozkazowym buforem wewnętrznym (FIFO),
– 32-bitowym zmiennoprzecinkowym wewnętrznym układem mnożącym,
– wewnętrznymi pamięciami RAM i ROM o szerokości 32 bitów,
– bramką wejściowo/wyjściową szeregową i równoległą,
– zmiennoprzecinkową jednostką arytmetyczną (ALU) z przełącznikowym rejestrem przesuwającym. W przeciwieństwie do sposobu przesuwu danych, spotykanym w klasycznych mikroprocesorach i polegającym na cyklicznym przesuwaniu o 1 bit, stosowane tu jest łączenie żądanych komórek (pozycji) przez przełącznik elektroniczny i przeładowanie wartości. Przesuwnik ten znany jest pod nazwą "Barrel-Shifter".
Wersja CMOS (typ μPD77220) jest wyposażona w pamięć PROM lub EPROM o pojemności 2 k słów 32-bitowych w obszarze rozkazowym, 1 k słów 24-bitowych w obszarze danych i pamięć RAM o pojemności 24 słów 24-bitowych. Częstotliwość zegarowa wynosi 16,38 MHz, co odpowiada długości cyklu 120 ns dla operacji stałoprzecinkowych. Możliwe jest też dołączenie zewnętrznych pamięci programu i danych o pojemności 4 k słów.
Uwagę zwraca mała (w porównaniu z zwykłymi mikroprocesorami) pojemność pamięci. Należy jednak pamiętać, że większość algorytmów COS można przedstawić w dość prostej postaci. Jest to konieczne ze względu na dużą częstotliwość ich powtarzania.
Do czwartej generacji procesorów należą 96-bitowy 96002 firmy Motorola i seria 32000 firmy National. Procesor 96002 zawiera 10 96-bitowych rejestrów, które mogą być też podzielone na rejestry 32-bitowe. Szybkość przetwarzania dochodzi do 165 mln operacji/s w wersji 33 MHz i 200 mln/s w wersji 40 MHz i może adresować do 12 Giga-słów, a jego konstrukcja zawiera ok. 750 tys. tranzystorów.

DSP322C jest procesorem sygnałowym CMOS o szybkości 25 MFLOPS (milionów operacji zmiennoprzecinkowych – floatig point) i częstotliwości zegarowej 50 MHz. Przykład: transformata FFT oparta na 1024 punktach pomiarowych jest obliczana w ciągu 3,2 ms, a obliczenia filtru FIR wymagają 870 ns dla każdego członu. Pojęcia te są objaśnione w dalszej części artykułu.

16-bitowy procesor WE-DSP16 firmy AT&T, operujący arytmetyką stałoprzecinkową, wyposażony w pamięć buforową (cache) o długości 15 słów i wykonany w technice CMOS, dokonuje mnożenia połączonego z dodawaniem w ciągu 55 ns.

Innymi, bardzo rozpowszechnionymi typami są procesory ADSP-2100/2101/2105 firmy Analog Devices. ADSP2101 jest wyposażony w dwie bramki szeregowe umożliwiające podłączenie przetworników CODEC, ALU zawierającą układ mnożący oraz przełączany przesuwnik (barrel shifter), programowany timer, 2 k słów 24-bitowej pamięci programu (RAM) i 1 k słów 16-bitowej pamięci danych (RAM). Możliwe jest podłączenie zewnętrznej pamięci EPROM o pojemności 8 x 48 k. Przy długości cyklu 80 ns procesor ten wykonuje do 12,5 MIPS (milionów instrukcji/s), co umożliwia obliczenie 1024-punktowej FFT w czasie krótszym niż 3 ms, a obliczenia filtru FIR wymagają 80 ns na rozgałęzienie. ADSP-2105 dysponuje połową obszaru adresowego ADSP-2101 i jest wyposażony w jedną bramkę szeregową, a jego szybkość przetwarzania wynosi 10 MIPS (milionów operacji/s). Zapoznanie się z możliwościami techniki COS, a procesorami ADSP-2101/2105 szczególnie, ułatwiają płytki eksperymentalne i emulatory firmy Analog Devices. Dołączenie zewnętrznego dekodera mikroprogramu (ADSP-1402), zestawu rejestrów (ADSP-3128A), układu mnożącego (ADSP-3212) i dodatkowego układu ALU (ADSP-3222) zwiększa szybkość obliczeniową do 40 MFLOPS (milionów operacji zmiennoprzecinkowych/s).

ADSP21msp50 jest procesorem mieszanym, sygnałowo-cyfrowym, przeznaczonym do przetwarzania sygnałów akustycznych z częstotliwościami do 4 kHz. Jego zasadniczym zakresem zastosowań jest przetwarzanie sygnałów radiokomunikacyjnych i telekomunikacyjnych oraz synteza i kompresja sygnałów akustycznych. Procesor jest wyposażony w przetworniki a/c i c/a. Są to 16-bitowe CODEC pracujące z opisaną dalej modulacją sigma-delta. Architektura procesora jest identyczna jak architektura serii ADSP-2100. Pamięć programu ma pojemność 2 k słów x 24 bitów, a pamięć danych – 1 k słów x 16 bitów. Procesor jest wyposażony w dwie bramki synchroniczne szeregowe i 16-bitowy timer oraz 8- lub 16-bitową bramkę przeznaczoną do komunikacji z procesorem sterującym np. 8051 lub 68000.

Specjalnie do zastosowań w ruchomych telefonach przyszłościowych sieci komórkowych został opracowany procesor 56116 (Motorola). Jest to 16-bitowy procesor wykonany techniką CMOS, o długości cyklu 25 ns. Jest on jednocześnie pierwszym procesorem sygnałowym zawierającym zintegrowany debugger (program umożliwiający śledzenie błędów) "Once".

Bardziej skomplikowane zadania, jak przetwarzanie obrazów, rozpoznawanie określonych wzorców czy tekstów mówionych, przekraczają możliwości pojedynczego procesora. W takich przypadkach konieczna jest równoległa współpraca większej ich liczby. 32-bitowy procesor TMS320C40 jest wyposażony w 6 dupleksowych łączy o szybkości transmisji 20 MB/s umożliwiających bezpośrednie połączenia procesorów, układ koprocesora DMA i zmiennoprzecinkową jednostkę arytmetyczną. Szybkość obliczeniowa procesora wynosi 275 MOPS (milionów operacji stałoprzecinkowych/s), a długość cyklu – 40 ns. Stosunkowo duża liczba łączy umożliwia tworzenie skomplikowanych struktur wieloprocesorowych dwu i trójwymiarowych w postaci pierścieni, siatek czy komórek.

Dla konstruktorów układów COS istotna jest dostępność odpowiedniego oprogramowania pomocniczego i możliwości testowania programów. Układy COS z klasycznymi mikroprocesorami umożliwiają wykorzystanie posiadanych lub łatwo dostępnych skrośnych kompilatorów i asemblerów oraz debuggerów w celu uruchomienia własnych programów. Oczywiście debugger umożliwia tylko wstępne sprawdzenie prawidłowości logiki programu, praca w tym przypadku nie odbywa się w czasie rzeczywistym. Podobnie jak w przypadku wielu innych zastosowań, wystarczające są do tego celu komputery klasy IBM/PC/XT/AT. Dla niektórych typów procesorów są spotykane programy-symulatory, a w zastosowaniach profesjonalnych rozpowszechnione jest użycie emulatorów w trakcie uruchomiania programów. Umożliwiają one kontrolę działania programu prawie w czasie rzeczywistym.

W warunkach amatorskich korzystne byłoby przeprowadzanie eksperymentów COS na prostych komputerach jednopłytkowych, wyposażonych w procesor identyczny lub pokrewny do posiadanego komputera w domu lub w pracy. Umożliwi to szybsze uruchomienie programów COS za pomocą posiadanego oprogramowania pomocniczego.

Oprogramowanie i emulatory do procesorów sygnałowych zaczynają się dopiero pojawiać na rynku, wybór jest tu z konieczności mniejszy i często ograniczony do zestawów oferowanych przez producentów procesorów. Do opracowywania i testowania programów mogą być wykorzystane, oprócz PC, również większe jednostki, np. VAX.

I tak np. firma NEC oferuje dla rodziny procesorów μPD77220/77230 asembler, zestawy programów bibliotecznych (m.in. różnego rodzaju filtry i modemy) oraz emulator EVAKIT 77230.

Do procesora sygnałowego DSP 96002 (Motorola) jest dostępny zestaw składający się z asemblera, kompilatora C, konsolidatora i debuggera XDB oraz zestawu programów bibliotecznych.

Firma Analog Devices wypuściła na rynek prosty, jednopłytkowy emulator do procesorów z rodziny ADSP2100/1. Emulator ten może być podłączony do dowolnego komputera, np. PC, przez łącze szeregowe RS232. Dla rodziny tej oraz procesora ADSP-21msp50 są też dostępne: kompilator C, asembler, konsolidator (linker) i symulator, pracujące z komputerami IBM PC-AT oraz VAX.

Firma Texas Instruments dostarcza kompilatora C i debuggera na poziomie kodu źródłowego oraz emulatora dla rodziny procesorów sygnałowych TMS 320xx.

Interesującym rozwiązaniem jest opracowany przez wiedeńską firmę ATAIR Echtzeisysteme symulator procesora μPD77230. Symulator ten pracuje z komputerem IBM-PC i w połączeniu z asemblerem oraz konsolidatorem umożliwia komfortowe opracowywanie i uruchomianie oprogramowania COS. Symuluje on nie tylko strukturę wewnętrzną procesora ale także urządzenia peryferyjne, współpracujące z odpowiednimi zbiorami na twardym dysku bramki wejściowo-wyjściowe. Sama symulacja odbywa się w odpowiednio spowolnionej (proporcjonalnej) skali czasu.

(Cd. w następnym numerze)

Cyfrowa obróbka sygnałów (2)

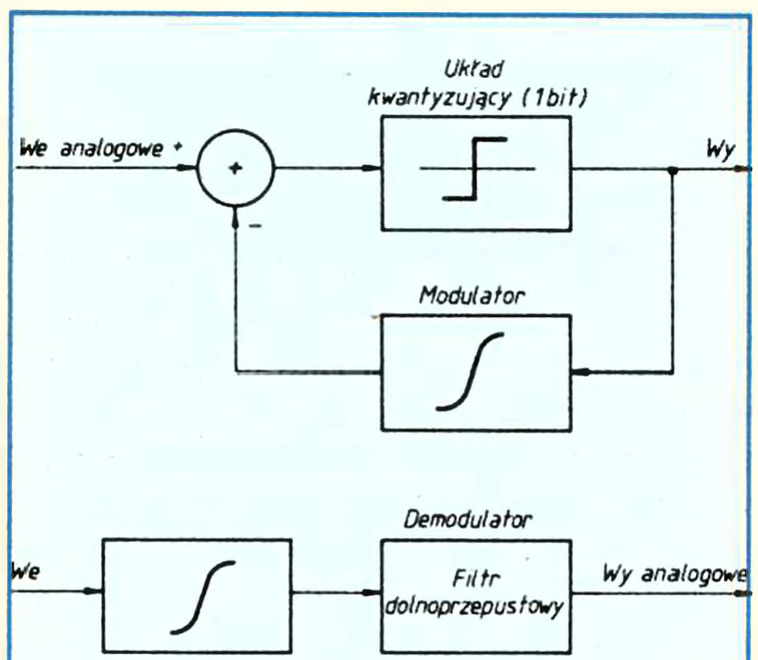
Krzysztof Dąbrowski OE1KDA

Przetworniki a/c i c/a oraz inne układy pomocnicze

Oprócz systemów procesorowych ważną funkcję w technice COS odgrywają przetworniki analogowo-cyfrowe i cyfrowo-analogowe. Są one członami łączącymi układ COS ze światem zewnętrznym, a ich parametry i właściwości decydują w dużym stopniu o parametrach całego systemu.

W zależności od wymaganego zakresu pracy muszą one pracować z szybkościami od dziesiątków kHz do dziesiątków MHz. Wymagania te są szczególnie trudne do spełnienia przez przetworniki a/c.

Konstrukcja przetworników c/a jest znacznie prostsza, np. przetworniki zawierające sieci drabinkowe R-2R pracują jeszcze zupełnie dobrze w zakresach częstotliwości wizyjnych.



Rys. 2. Przetwornik a/c z modulacją delta

Jako przetworniki a/c są stosowane m.in. przetworniki z kolejną aproksymacją (zwane też przetwornikami z kompensacją wagową), wymagające pewnej (zależnej od dokładności) liczby cykli wewnętrznych w celu przetworzenia sygnału) wejściowego na wartość cyfrową. W tym czasie wartość napięcia wejściowego musi być utrzymywana na stałym poziomie przez układ próbkująco-pamiętający (sample & hold). Czas konwersji jest dość długi, zatem maksymalne osiągalne częstotliwości próbkowania są rzędu 100 kHz. Ich zaletą jest możliwość osiągnięcia stosunkowo dużej dokładności, np. 16 bitów.

Stosowane często w urządzeniach COS przetworniki telefoniczne o dokładności 12 bitów, tzw. CODEC, zaliczają się do wspomnianej grupy, z tym że wartość 12-bitowa zostaje wewnętrznie przetworzona na postać logarytmiczną 8-bitową. Pięć bitów zawiera mantysę, 3 – cechę, a ósmy – znak. Na wyjściu CODEC'u jest otrzymywany sygnał cyfrowy w postaci szeregowej, przeznaczonej do transmisji w łączu telefonicznym. W układach COS konieczne jest przetworzenie go na postać równoległą. Zmusza to konstruktorów procesorów sygnałowych do wyposażania ich w bramki szeregowe. Ich nieliniowa charakterystyka umożliwia zwiększenie stosunku sygnału do szumu. Rozdzielczość przetwornika jest większa dla małych sygnałów i stopniowo redukuje się dla większych. W standardzie amerykańskim jest przyjęta linia 15-segmentowa (charakterystyka μ), w europejskim 13-segmentowa (charakterystyka A). Szybkość transmisji na wyjściu wynosi 64 kBd (częstotliwość próbkowania 8 kHz x 8 bitów).

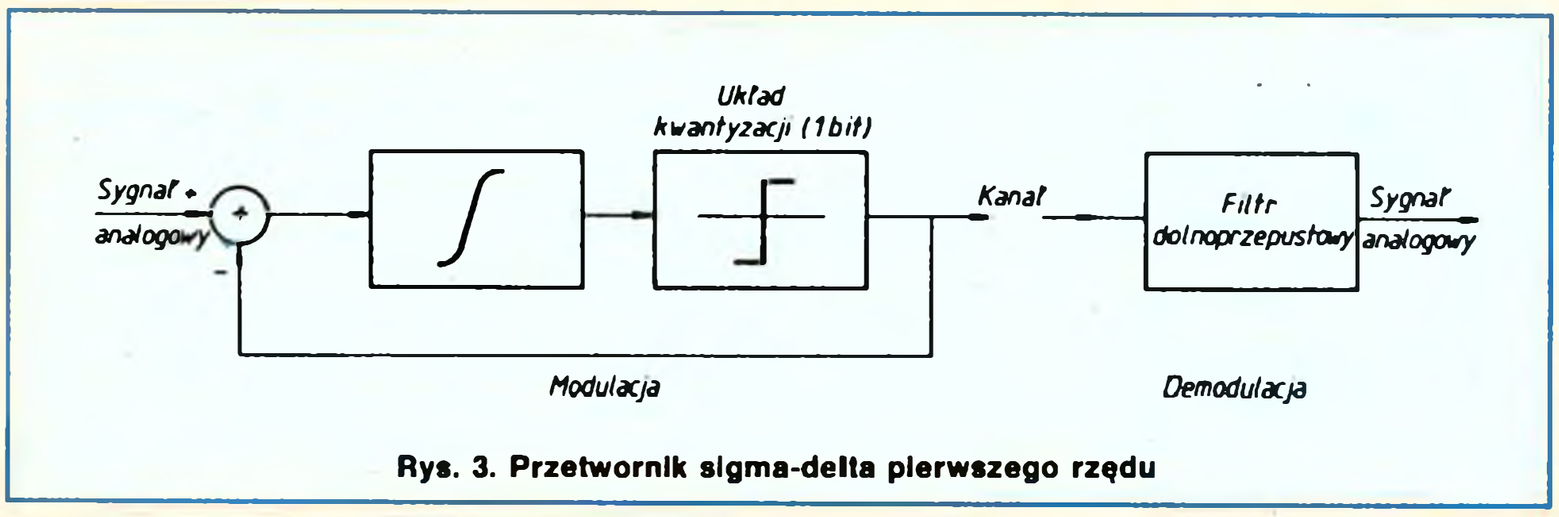
Rozpowszechnionym typem CODEC jest seria 96xx firmy NEC. W jej skład wchodzą m.in. μPD9621L (charakterystyka A) i μPD9622L/9602 (charakterystyka μ). W przetwornikach μPD9625L/9605 i μPD9624L/9604 (odpowiednio o charakterystykach A i μ) wzmocnienie może być regulowane cyfrowo. Szybkości transmisji leżą w zakresie 64÷2048 kBd. Odpowiednikami serii NEC jest seria HD4427xCP firmy Hitachi.

Drugą, stosowaną grupę stanowią przetworniki zawierające odpowiednią do żądanej dokładności liczbę komparatorów (tzw. przetworniki "flash"). Wyjścia komparatorów są połączone z układem kodującym wynik do postaci binarnej. Ponieważ szybkość zamiany sygnału jest ograniczona tu jedynie szybkością działania komparatorów oraz układu logicznego, są one znacznie szybsze od przetworników pierwszej grupy. Najprostsze i najtańsze rozwiązania pracują w zakresie częstotliwości do 20 MHz, rozwiązania specjalne – nawet do kilkuset MHz. Zbędne jest także stosowanie analogowego układu próbkująco-pamiętającego. Dokładność ich jest ograniczona liczbą wbudowanych (scalonych) komparatorów – przy dokładności 8 bitów konieczne jest zastosowanie 256 komparatorów. rejestru wewnętrznego o tej samej szerokości oraz kodera o 256 wejściach. W czasie między kolejnymi momentami próbkowania wartość cyfrowa jest zapamiętywana w rejestrze wewnętrznym.

Przetworniki c/a otrzymują na wejściu ciąg wartości cyfrowych zmieniających się w odstępach czasu, równych okresowi próbkowania (i przetwarzania), na ich wyjściu otrzymujemy więc w idealnym przypadku przebieg schodkowy. Skończone czasy propagacji impulsów w rzeczywistych układach liniowych powodują dodatkowo powstanie stanów nieustalonych – krótkich impulsów napięcia zakłócających przebieg wyjściowy. Zakłócenia te oraz wyższe harmoniczne przebiegu schodkowego muszą być odfiltrowane filtrem dolnoprzepustowym. Skończony czas trwania poszczególnych stopni przebiegu schodkowego powoduje jednocześnie tłumienie wyższych składowych przebiegu wyjściowego w stosunku sin(x)/x, które musi być w miarę potrzeby skorygowane przez dodatkowy filtr górnoprzepustowy o odwrotnej charakterystyce. Idealnym rozwiązaniem byłby tu przetwornik dostarczający nieskończenie krótkich impulsów filtrowanych następnie przez filtr δ dolnoprzepustowy o prostokątnej charakterystyce przenoszenia.

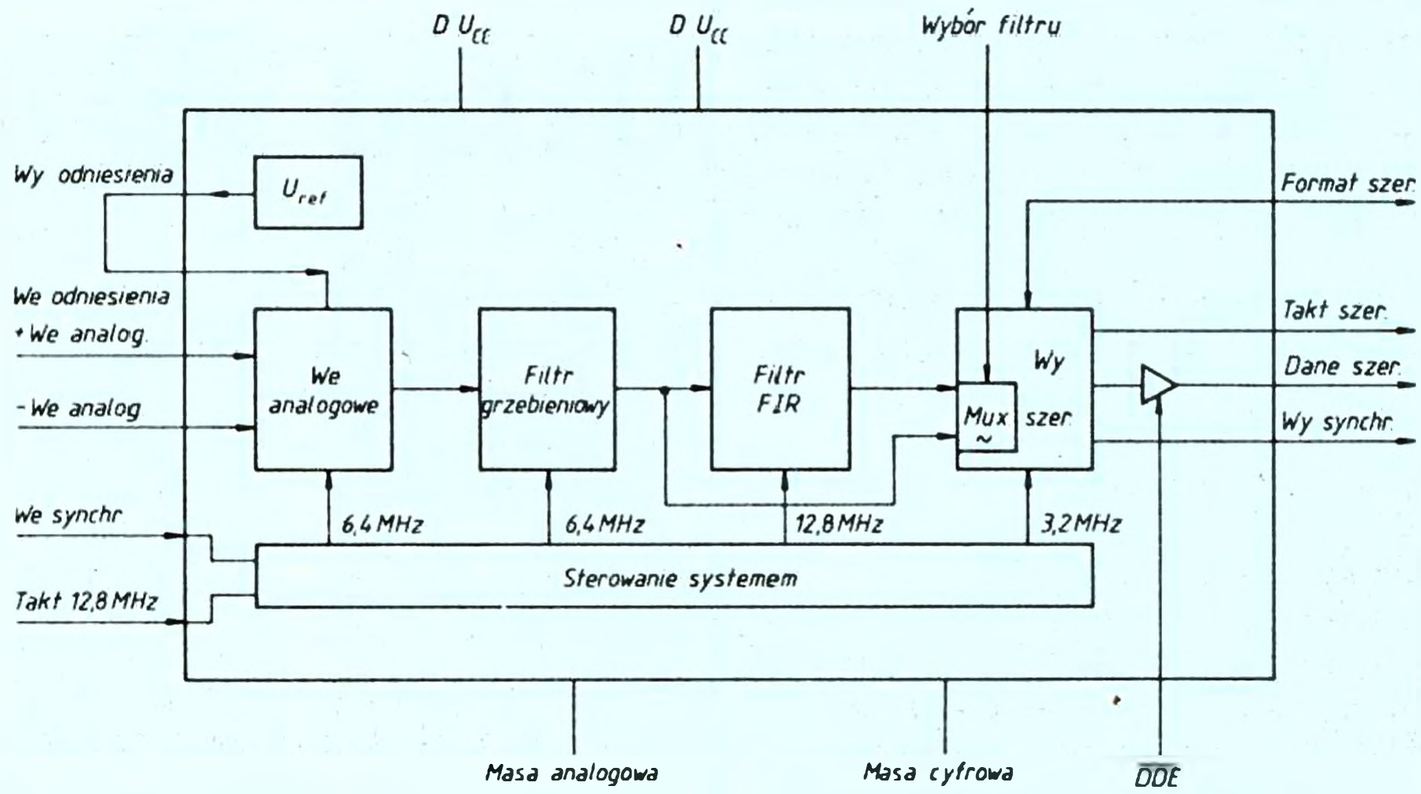
Istotny wpływ na działanie układu COS ma dokładność konwersji (długość słowa) wpływająca na dynamikę układu oraz poziom szumów kwantyzacji. Obie te wielkości są też zależne od zastosowanych w programie algorytmów; występujące tam operacje matematyczne, jak dodawanie i mnożenie, powiększają w znacznym stopniu wartości bezwzględne przetwarzanych sygnałów i powodują m.in. konieczność stosowania większej wewnętrznej długości słowa.

W zależności od potrzeb są stosowane różne wewnętrzne reprezentacje przetwarzanych wartości – formaty danych. Jednym z naj-



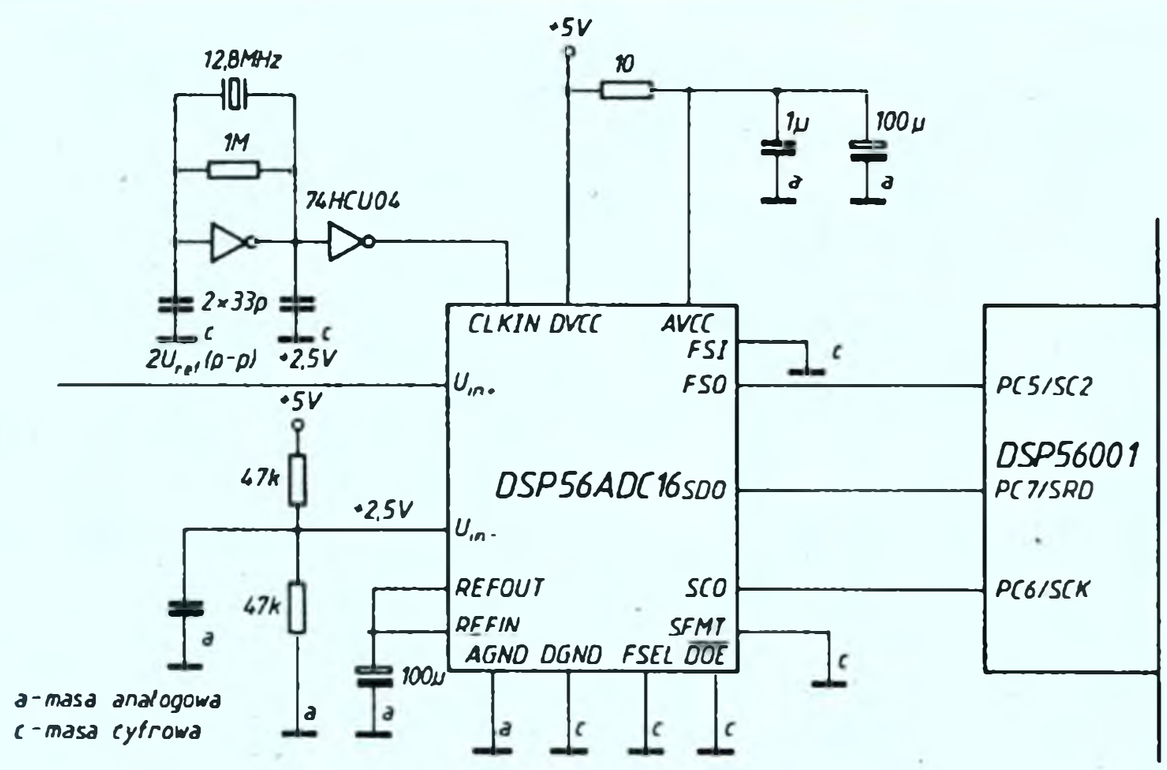
Rys. 3. Przetwornik sigma-delta pierwszego rzędu

prostszych i często stosowanych formatów jest reprezentacja dwójkowa liczb całkowitych z lub bez uwzględnienia znaku – typ integer.
Dynamika układu wyrażona w dB wynosi ok. 6 dB x szerokość słowa (w bitach). Odchyłki od podanej wartości są spowodowane wpływem szumów kwantyzacji oraz błędami konwersji przetwornika.
Reprezentacja zmiennoprzecinkowa umożliwia przedstawienie szerszego zakresu wartości. Wartość liczbowa jest przedstawiona przy użyciu trzech elementów: znaku, cechy i mantysy. Zmiennoprzecinkowe operacje arytmetyczne są bardziej skomplikowane i zajmują więcej czasu, dlatego też w miarę możliwości nie są używane. Skrócenie czasu wykonywania operacji osiąga się dzięki odpowiedniemu wyposażeniu układowemu, np. w dodatkowe układy arytmetyczne.
Przypadkiem szczególnym formatu zmiennoprzecinkowego jest wspomniany już format stosowany przez przetworniki telefoniczne CODEC o szerokości 8 bitów. Przetworniki te są produkowane wielkoseryjnie, w związku z tym są łatwo dostępne i tanie. Mała szerokość formatu CODEC ułatwia korzystanie z gotowych tablic funkcyjnych. Niektóre typy procesorów sygnałowych zawierają gotowe tablice przewidziane do adresowania w tym właśnie formacie.
Osobną grupę stanowią przetworniki pracujące z modulacją sigma-delta stanowiącą odmianę modulacji delta (rys. 2). Przez porównanie sygnału wejściowego z sygnałem odniesienia jest tu generowany ciąg danych jednobitowych. Jeżeli poziom sygnału wejściowego przekracza poziom sygnału odniesienia, generowana jest jedynka (stan wysoki H), w przeciwnym przypadku – zero (stan niski L). Otrzymany w ten sposób ciąg danych oscyluje wokół wejściowej wartości analogowej. Odpowiada to nałożeniu na sygnał wejściowy sygnału błędu, zależnego od rozdzielczości przetwornika.
Przetworzenie otrzymanego w ten sposób



Rys. 4. Schemat blokowy przetwornika a/c DSP56ADC16

sygnału na postać analogową wymaga zastosowania układu całkującego w przetworniku c/a. Przeniesienie układu całkującego na stronę przetwornika a/c nie zmienia właściwości całego toru, a otrzymujemy w ten sposób przetwornik sigma-delta (rys. 3). Nie wymaga on stosowania układów próbkująco-pamiętających (z odpowiednio dużą częstotliwością próbkowania sygnał wejściowy w czasie próbkowania zmienia swą wartość nieznacznie) ani filtrów wejściowych. Sygnał błędu przetwornika sigma-delta jest zbliżony do sygnału szumowego o szerokości pasma (a więc i energii leżącej w pasmie użytkowym) zależnej od częstotliwości próbkowania.
Właściwości szumowe przetwornika poprawia się po dodaniu dalszych stopni i układów sprzężenia zwrotnego (przetworniki wyższego rzędu). Energia szumów skupia się w tym przypadku w zakresie większych częstotliwości, co umożliwia dość łatwe ich odfiltrowanie. Wymagana częstotliwość próbkowania, a konkretnie jej stosunek do częstotliwości minimalnej, wynikającej z zasady próbkowania, zależy od dopuszczalnej zawartości szumów i struktury przetwornika. W przypadku przetwornika trzeciego rzędu powinien on wynosić minimum 48. W przetworniku a/c DSP56ADC16 zastosowano 128-stopniowy układ sterujący i 128-krotny stosunek częstotliwości próbkowania (przy 12,8 MHz częstotliwości zegarowej) oraz dwuczłonowy filtr składający się z 4-stopniowego członu grzebieniowego i członu FIR. Stosunek sygnału użytecznego do zakłóceń przekracza tu 90 dB.
Jak wynika z przedstawionego na rysunku 4 schematu blokowego przetwornika DSP56ADC16, jego człon wejściowy jest wzmacniaczem różnicowym pracującym w zakresie amplitud wejściowych do 1 V. Nieliniowa charakterystyka amplitudowa filtru grzebieniowego jest kompensowana za pomocą filtru FIR. Kompensacja umożliwia uzyskanie dokładności 16 bitów kosztem zmniejszenia szybkości pracy przetwornika, bez niej uzyskiwana jest dokładność 12 bitów. Wewnętrzny multiplekser umożliwia wybór pożądanego wariantu pracy. Przetwornik jest wyposażony w wyjście szeregowe. Jak wynika z przedstawionej zasady pracy, jest to rozwiązanie najprostsze, a większość procesorów sygnałowych i tak jest wyposażona w wejście szeregowe. Synchronizację pracy większej liczby przetworników (np. przy przetwarzaniu sygnałów stereofonicznych) umożliwia specjalne wejście sygnału synchronizującego.
Układ pracy przetwornika DSP56ADC16 współpracującego z procesorem cyfrowym DSP56001 jest przedstawiony na rys. 5.
Po ogólnym omówieniu cech charakterystycznych i podstawowych parametrów przetworników a/c i c/a opiszemy niektóre ze spotykanych na rynku typów.
Przetwornik AD766 (Analog Devices) jest



Rys. 5. Układ pracy przetwornika DSP56ADC16

16-bitowym przetwornikiem c/a z dynamiką 96 dB i czasem konwersji 1,5 μs. Przetwornik jest wyposażony w wejście szeregowe umożliwiające łatwe podłączenie do wielu procesorów sygnałowych, jak: ADSP-2101, TMS320C25 i DSP56001. Maksymalna dopuszczalna częstotliwość zegarowa wynosi 12,5 MHz.

AD7848 jest przetwornikiem c/a 12-bitowym z czasem konwersji 4 μs i dynamiką 70 dB, wyposażonym w rejestr buforowy o pojemności ośmiu słów. Bufor ten umożliwia asynchroniczną, w stosunku do taktu wyjściowego, transmisję danych między procesorem sygnałowym i przetwornikiem.

Dwukanałowy 18-bitowy przetwornik akustyczny c/a typu AD1864 (Analog Devices) zapewnia stosunek sygnału do szumu 108 dB, 0,0025% zniekształceń i tłumienie sygnału pochodzącego z kanału sąsiedniego, przekraczające 110 dB. Predestynuje go to do zastosowania w wysokiej klasy aparaturze akustycznej, jak odtwarzacze CD, instrumenty elektroniczne i mieszacze cyfrowe. Przetwornik jest wyposażony zarówno w wyjście napięciowe jak i prądowe. Szeregowy sygnał wejściowy może być wczytywany z szybkościami do 352,8 kHz.

Przetwornik TDA1534 firmy Valvo jest przetwornikiem a/c 14-bitowym, pracującym na zasadzie sukcesywnej aproksymacji. Główną dziedziną jego zastosowań są urządzenia akustyczne (np. odtwarzacze CD), dlatego też maksymalna częstotliwość przetwarzania wynosi 100 kHz, liniowość konwersji 0,5 LSB, a odstęp sygnału od szumu 85 dB. Przetwornik dostarcza szeregowego sygnału wejściowego w komplementarnym formacie dwójkowym. Do współpracy z nim jest przewidziany układ próbkująco-pamiętający TDA1535.

Przetwornik TDA1540 jest często spotykanym w urządzeniach akustycznych przetwornikiem c/a z szeregowym wejściem danych i stosunkiem sygnału do szumu 85 dB, podobnie jak w przypadku TDA1534. Jest on wyposażony w wyjście prądowe, co w wielu układach wymaga zastosowania przetwornika prądowo-napięciowego. □

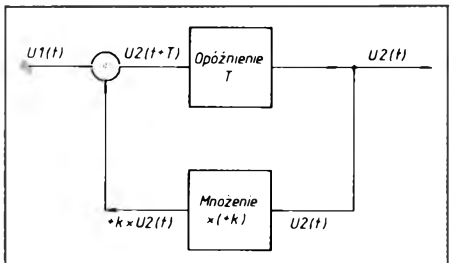
Dla każdego analogowego układu liniowego istnieje odpowiednie równanie różniczkowe opisujące jego funkcję. Stopień i złożoność tego równania są zależne od liczby występujących w układzie niezależnych elementów magazynujących energię (cewki, kondensatory). Jego wyprowadzenie przekraczałoby ramy niniejszej publikacji.

Cyfrowa obróbka sygnałów (3)

Krzysztof Dąbrowski OE1KDA

Algorytmy i ich realizacje

Algorytm cyfrowej obróbki sygnałów musi realizować równanie różniczkowe pożądanego układu – dokładnie, lub z dostatecznie dobrym przybliżeniem. W praktyce mamy zawsze do czynienia z przybliżeniami ze względu na konieczną dużą szybkość przetwarzania danych. Poza tym, wielkości przetwarzane występują tu w postaci dyskretnej – próbek wczytywanych w określonych odstępach czasu, dlatego też jest konieczne (przybliżone) zastąpienie pochodnej różnicą wartości kolejnych próbek. Przy krótkim okresie próbkowania otrzymana różnica nie odbiega znacznie od wartości pochodnej.



Rys. 6. Filtr dolnoprzepustowy

W dalszym ciągu artykułu przedstawię szereg obwodów liniowych i nieliniowych, a następnie bardziej skomplikowanych układów stosowanych w radiokomunikacji, wraz z odpowiednimi równaniami i algorytmami. Mam nadzieję, że przytoczone wzory nie sprawią trudności większości Czytelników i nie zostaną potraktowane jako wykład na poziomie politechniki. Występujące w nich pochodne oznaczają szybkość zmiany wartości sygnału obliczaną jako różnica wartości między dwoma bardzo bliskimi (nieskończenie bliskimi) momentami czasowymi (pochodne drugiego rzędu – analogicznie szybkość zmiany szybkości). Oczywistymi przykładami mogą być szybkość poruszającego się ciała, obliczana jako stosunek drogi (różnicy położeń) do czasu i przyspieszenie opisujące jej zmianę. W technice odstępy czasu nie są nieskończenie krótkie, dzięki czemu pochodne sprowadzają się do obliczania skończonych różnic. W przypadku cyfrowej obróbki sygnałów odstępy czasu są równe okresowi próbkowania. Wzory te są jednak konieczne do zrozumienia znaczenia schematów blokowych i ich równoważności z odpowiednimi układami elektrycznymi. Oznaczenia elementów i napięć występujące na schematach odpowiadają użytym we wzorach.

Obwody liniowe

Jednym z najprostszych obwodów jest filtr dolnoprzepustowy RC pierwszego rzędu (rys. 5). Odpowiadające mu równanie różniczkowe ma postać:

$$\frac{du_2(t)}{dt} + \frac{u_2(t)}{RC} = \frac{u_1(t)}{RC}$$

Równanie to oznacza w praktyce, że szybkość zmian napięcia na wyjściu układu jest odwrotnie proporcjonalna do jego stałej czasu RC, inaczej mówiąc składowe o większej częstotliwości są silniej tłumione (jak przystało na filtr dolnoprzepustowy). Po zastąpieniu pochodnych, czyli różnic o nieskończenie krótkim odstępie czasu, przeskończone różnice otrzymujemy:

$$\frac{u_2(t+T) - u_2(t)}{T} + \frac{1-k}{T} \cdot u_2(t) = \frac{u_1(t)}{T}$$

co po pomnożeniu przez T i skróceniu daje:

$$u_2(t+T) = u_1(t) + k \cdot u_2(t)$$

przy czym:

T – odstęp między uwzględnianymi próbkami, równy okresowi próbkowania lub jego wielokrotności,

napięcie u(t + T) – wartość napięcia w momencie późniejszym w stosunku do czasu t.

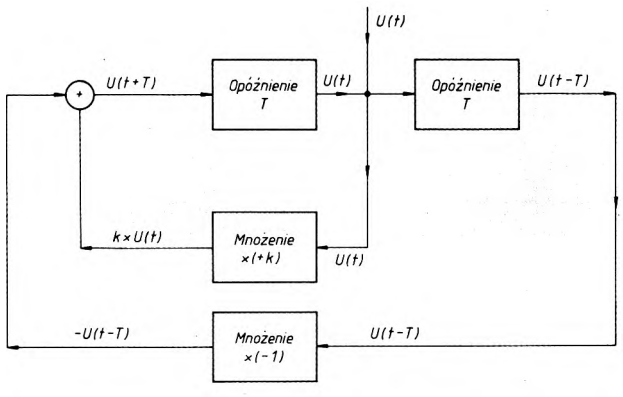
Równanie to jest przedstawione blokowo na rys. 6.

Otrzymany "schemat" zastępczy składa się z układu opóźniającego (realizowanego przez uwzględnienie w obliczeniach odpowiednio jednej z poprzednich próbek zamiast próbki bieżącej) i sprzężenia zwrotnego, realizowanego w postaci sumy wartości próbki bieżącej z odpowiednio wzmocnioną (pomnożoną przez współczynnik k) próbką opóźnioną. Filtr wielostopniowy wymaga wielokrotnego zastosowania wspomnianego algorytmu z uwzględnieniem odpowiedniego opóźnienia czasowego ("starości") próbek.

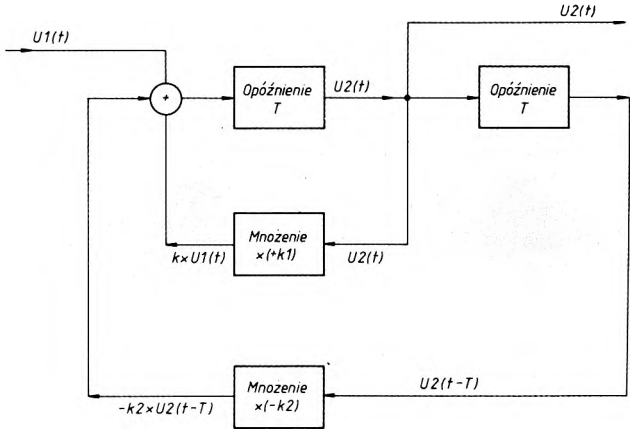
Najprostszy obwód rezonansowy LC zawiera dwa elementy gromadzące energię, może więc być opisany równaniem różniczkowym drugiego rzędu. Pochodna drugiego rzędu oznacza tu zmianę szybkości przyrostu napięcia. Zgodnie z intuicyjnym wyczuciem jest ona większa dla obwodów o większej częstotliwości rezonansowej (mniejszej stałej LC).

$$\frac{d^2u(t)}{dt^2} + \frac{u(t)}{LC} = 0$$

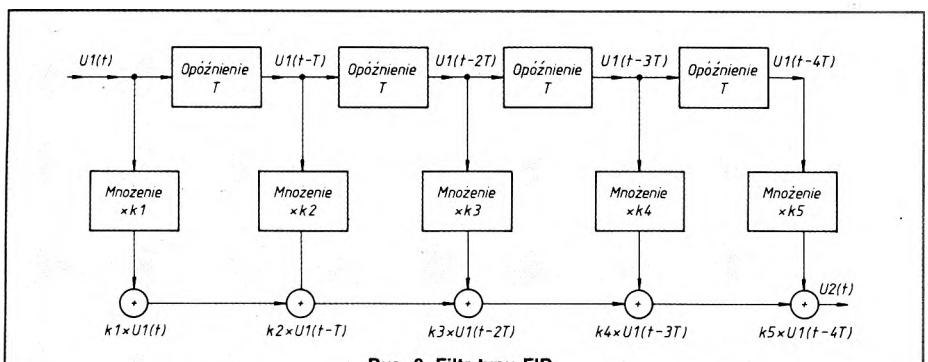
Odpowiadające mu równanie różnicowe wy-



Rys. 7. Obwód LC



Rys. 8. Filtr środkowoprzepustowy IIF



Rys. 9. Filtr typu FIR

raża się wzorem :

$$\frac{\frac{u(t+T)-u(t)}{T} - \frac{u(t)-u(t-T)}{T}}{T} + \frac{(2-k)}{T^2}\cdot u(t) = 0$$

a po pomnożeniu przez T i skróceniu:

$$u(t+T) = k\cdot u(t) - u(t-T)$$

Blokowo jest ono przedstawione na rys. 7.

Analogowy obwód rezonansowy LC ma skończoną dobroć ze względu na straty w elementach rzeczywistych. W wykonaniu COS jest możliwe uzyskanie stabilnego obwodu bezstratnego ($Q = \infty$). Wzmocnienie lub straty w układzie są wyrażane przez współczynnik wzmocnienia (mnożenia) sygnału wyjściowego z drugiego elementu opóźniającego. Wartość –1 odpowiada obwodowi bezstratnemu i jest łatwa w realizacji programowej, ponieważ odpowiada jedynie zmianie znaku. Nie występują tu problemy z dokładnością (zaokrągleniem) wyniku obliczeń, dzięki czemu algorytm zachowuje się stabilnie i układ może dostarczać sygnał sinusoidalny o stałej amplitudzie.

Przedstawione powyżej filtry należą do grupy filtrów rekursywnych, tzn. ich reprezentacja w postaci algorytmicznej zawiera człony sprzężenia zwrotnego. Odpowiedź filtru rekursywnego na pobudzenie impulsowe trwa teoretycznie nieskończenie długo, dlatego są też one znane pod angielską nazwą *Infinite Impulse Response Filter* (IIF). Ogólną postać tego typu filtru przedstawiono na rys. 8.

Jednostopniowy filtr środkowoprzepustowy jest opisany równaniem różnicowym (wywodzącym się ze wzorów przedstawionych powyżej):

$$u_2(t+T) = u_1(t) + k_1\cdot u_2(t) - k_2\cdot u_2(t-T)$$

W odróżnieniu od bezstratnego obwodu rezonansowego wartość bezwzględna współczynnika k_2 jest mniejsza niż 1. Wzór ten oznacza, że nowa wartość sygnału wyjściowego jest zależna od bieżących wartości sygnałów wejściowego i wyjściowego oraz od poprzedniej wartości sygnału wyjściowego.

Filtry wielostopniowe są programowane w postaci szeregowego połączenia układów jednorezonatorowych lub w postaci filtru o większej liczbie członów opóźniających. Połączenie szeregowe jest rozwiązaniem pewniejszym, ponieważ wzajemne wpływy poszczególnych członów są mniejsze niż w przypadku drugim, a wypadkowa funkcja przenoszenia jest równa iloczynowi funkcji pojedynczych obwodów i jest łatwa do obliczenia.

Drugą grupę stanowią filtry o skończonym czasie trwania odpowiedzi impulsowej (Finite Impulse Response – FIR) – rys. 9. Algorytmy ich zawierają, podobnie jak algorytmy filtrów pierwszej grupy, człony opóźniające i mnożące, nie występuje tu jednak sprzężenie zwrotne, Czas trwania odpowiedzi impulsowej takiego filtru jest równy sumie opóźnień wszystkich członów opóźniających. Ich odpowiednikiem w technice analogowej są wielowyjściowe linie opóźniające, stosowane m.in. w filtrach z falą powierzchniową.

Do osiągnięcia pożądanej charakterystyki przenoszenia muszą one zawierać większą liczbę członów opóźniających, a więc większą liczbę obliczeń niż filtry rekursywne. Ponieważ umożliwiają one łatwe ukształtowanie różnicowej charakterystyki fazy, co zapewnia nie zniekształcone przenoszenie przebiegów impulsowych, są często stosowane w układach wizyjnych lub w torach transmisji danych i telegraficznych. Występują też jako filtry korekcyjne fazy w urządzeniach nadawczo–odbiorczych.

Szeroko stosowanym w technice cyfrowej algorytmem jest Szybka Transformata Fouriera (*Fast Fourier Transform* – FFT).

Znana w wyższej matematyce klasyczna transformata Fouriera umożliwia obliczenie widma częstotliwościowego sygnału na podstawie jego przebiegu czasowego. Znalezienie przebiegu czasowego sygnału na podstawie danego widma jest możliwe za pomocą transformaty odwrotnej. Obie one mają bardzo zbliżoną postać całki nieskończonej, a uzyskany wynik jest również funkcją argumentu w granicach od minus do plus nieskończoności:

$$F(\omega) = \int_{-\infty}^{+\infty} f(t)e^{j\omega t}\,dt$$

Przeprowadzenie tego typu obliczeń numerycznych jest bardzo skomplikowane. Jak zobaczymy dalej, nie jest to konieczne.

Dla sygnału o skończonym okresie próbkowania całkowanie przechodzi w sumowanie nieskończonego szeregu próbek funkcji, pomnożonych przez odpowiednie wartości funkcji sinus i cosinus w danych momentach czasowych (w skrócie zapisywanych jako urojona potęga stałej e):

$$F(\omega) = \sum_{n=-\infty}^{+\infty} f(n\Delta t)e^{j\omega\Delta t}$$

przy czym: Δt – okres próbkowania.

Otrzymane widmo częstotliwości jest widmem okresowym o okresie odwrotnie proporcjonalnym do okresu próbkowania i równym $2\pi/\Delta t$.

W przypadku sygnałów o ograniczonym widmie, a więc wszystkich występujących w praktyce, wystarcza próbkowanie ich w określonych teorią odstępach czasu oraz zastosowanie przybliżonego algorytmu – dyskretnej transformaty Fouriera (DFT). Wyraża się ona skończoną sumą:

$$F(m\Delta\omega) = \sum_{n=-N/2}^{+N/2} f(n\Delta t)e^{jm\Delta\omega n\Delta t}$$

Ze skończonej liczby próbek jest obliczana w ten sposób skończona liczba prążków widma (o odstępach $\Delta\omega$, m stanowi kolejny numer prążka). Dla przebiegu wyrażonego funkcją zespoloną można z N próbek odtworzyć N linii widma, dla funkcji rzeczywistej – N/2. Normując odpowiednio jednostki czasu i częstotliwości otrzymujemy następujący wzór na obliczenie dyskretnej transformaty Fouriera ($\Delta\omega = \Delta t = 1$):

$$F(m) = \sum_{n=0}^{N-1} f(n)e^{j\frac{2\Pi}{N}nm}$$

W dziedzinie częstotliwości odpowiada ona zestawowi N filtrów nierekursywnych (FIR) o N stopniach i graniczących ze sobą pasmach przenoszenia. Uwzględnienie zależności fazowych wymaga jednak przeprowadzania obliczeń na liczbach zespolonych. Liczba obliczeń jest i w tym przypadku dosyć duża, konieczne jest bowiem wykonanie N^2 (lub $N^2/2$) zespolonych operacji mnożenia i dodawania.

Przez zmianę kolejności operacji można zmniejszyć ich całkowitą liczbę do $M\cdot N$, gdy liczba próbek jest równa M–tej potędze 2. Ten uproszczony algorytm nosi właśnie nazwę szybkiej transformaty Fouriera i jest obecnie często stosowany w technice pomiarowej, np. w analizatorach widma. Transformata odwrotna umożliwia m.in. realizację filtrów FFT techniką COS.

W celu wyjaśnienia zasady, rozpatrzmy operację elementarną wykorzystującą dwie próbki. Składa się ona z przesunięcia fazy o Π oraz obliczenia sumy i różnicy składowych w odpowiednich fazach.

$$f(0) \longrightarrow \Big\{ + \quad \sum \Big\} \longrightarrow F(1) = f(0)e^{j0} + f(1)e^{j\Pi}$$

$$f(1) - [\Pi] - \Big\{ - \quad \Delta \Big\} \longrightarrow F(0) = f(0)e^{j0} + f(1)e^{j0}$$

Uwzględnienie czterech próbek f(0) – f(3) wymaga wykonania czterech operacji elementarnych. Obliczenia są wykonywane w dwóch kolejnych fazach, po dwie operacje w każdej. Wyniki obliczeń z fazy pierwszej F(0) – F(3) są przetwarzane analogicznie

w fazie drugiej parami dla składników o indeksach parzystych i nieparzystych. Przesunięcia faz sygnałów wejściowych wynoszą w pierwszej fazie obliczeń 0 i Π jak powyżej, w drugiej $\Pi/2$ i Π.

Ogólnie można zauważyć, że podwojenie liczby próbek wymaga podwojenia liczby obliczeń w fazach początkowych i dodanie następnej fazy zawierającej N/2 operacji elementarnych. W sumie więc dla danego N (równego potędze 2) obliczanie szybkiej transformaty Fouriera składa się z $\log_2 N$ faz po N/2 operacji elementarnych.

Obwody nieliniowe

Następną grupą algorytmów są algorytmy układów nieliniowych. Proste funkcje nieliniowe mogą być wyliczane na bieżąco, tak jak to miało miejsce w grupie poprzedniej. Bardziej skomplikowane obliczenia mogą (lub ze względów czasowych muszą) być uproszczone dzięki korzystaniu z tablic wartości funkcji zapisanych w pamięci układu. Rozwiązanie takie zostało zastosowane w przedstawionym poniżej cyfrowym detektorze AM (rys. 10).

Klasyczne analogowe rozwiązania detektorów wymagają użycia na ich wyjściu filtrów dolnoprzepustowych w celu odfiltrowania resztek fali nośnej. Gdy częstotliwość fali nośnej jest bliska górnej granicy pasma sygnału zdemodulowanego, konstrukcja filtru musi być dość złożona.

Przykładowy detektor cyfrowy pracuje poprawnie bez użycia filtru i może być zastosowany, np. jako detektor sygnału wizyjnego odbieranego z satelitów meteorologicznych. Amplituda sinusoidalnej nośnej o częstotliwości $2/\Pi$ jest obliczana w oparciu o jej dwie kolejne próbki:

$$f(x,y) = k_1 \cdot \sqrt{x^2 + y^2 - k^2xy}$$

przy czym:

$$k_1 = \frac{1}{\sin \omega T}$$

$$k_2 = 2 \cdot \cos \omega T$$

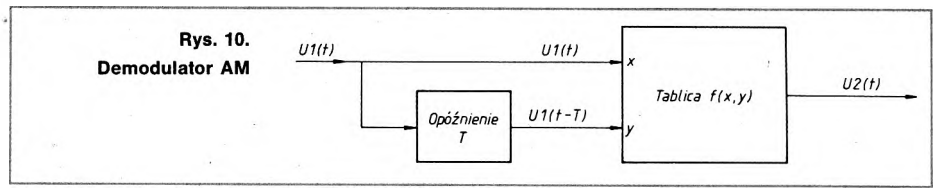
Jest to, jak widać, operacja dość skomplikowana, składająca się z czterech mnożeń, dwóch dodawań i pierwiastkowania. Przyjmując częstotliwość próbkowania równą czterokrotnej częstotliwości nośnej, można uprościć obliczenia do postaci:

$$f(x,y) = \sqrt{x^2 + y^2}$$

wynika to z równości:

$$\omega T = \frac{\Pi}{2}$$

W dalszym ciągu pozostaje jednak dość skomplikowane i długie pierwiastkowanie. Zastosowanie logarytmicznego przetwornika ale dostarczającego danych w postaci jednego bitu znaku, trzech bitów cechy i czterech bitów mantysy (formacie CODEC) upraszcza obliczenia do jednego odczytu wartości z tablicy. Wynik jest funkcją dwóch wartości 7-bitowych (razem 14 bitów), a więc liczba wszystkich możliwych wartości równa jest 2^{14} - długość tablicy wynosi 16 k. Rozwiązanie to jest bardzo proste i praktyczne jeżeli dysponujemy dostateczną pojemnością pamięci. Jednocześnie zastąpienie wielokrotnych operacji mnożenia, pierwiastkowania itp. przez pojedynczy dostęp do pamięci jest często jedynym możliwym sposobem uzyskania niezbędnej szybkości przetwarzania. Dlatego też niektóre ze specjalnych procesorów COS zawierają np. tablice funkcji sinus.



Rys. 10. Demodulator AM

(Dc. w następnym numerze)

Cyfrowa obróbka sygnałów (4)

Krzysztof Dąbrowski OE1KDA

W technice COS są realizowane także generatory sygnałów nośnych sterujących, mieszacze, detektory iloczynowe itp. Podobnie jak układy poprzednie, również układ generatora można opisać za pomocą odpowiedniego równania. Możliwe są jednak i realizacje prostsze. Jedną z nich jest uprzednio przedstawiony bezstratny przewód rezonansowy.

W wielu przypadkach szczególnych są możliwe dalsze uproszczenia jak np. w układzie generatorów sygnałów piłokształtnych i sinusoidalnych, przedstawionym na rys. 11.

Sumowanie sygnału odniesienia u_1 (t) z sygnałem opóźnionym daje za każdym razem napięcie o wartości większej od poprzedniej, aż do momentu wystąpienia przeniesienia. Dochodzi wówczas do skoku napięcia z wartości maksymalnej do zera, co daje w efekcie przebieg piłokształtny o amplitudzie ograniczonej zakresem dynamiki przetwornika cyfrowo-analogowego $= N_{max} - N_{min}$.

Częstotliwość sygnału piłokształtnego jest zależna od stosunku sygnału odniesienia do zakresu dynamiki oraz od częstotliwości próbkowania. Sygnał odniesienia może być sygnałem stałym lub zmiennym pochodzącym z innych układów COS albo elementów sterujących. Generator taki może być więc wykorzystany jako VCO, np. w układach synchronizacji fazy (PLL) lub syntezerach częstotliwości.

Wyjściowy sygnał sinusoidalny jest odczytywany z tablicy wartości, adresowanej przez sygnał piłokształtny. Dalsze operacje matematyczne na sygnale piłokształtnym umożliwiają łatwe przetworzenie go, np. na postać trójkątną lub prostokątną o pożądanym współczynniku wypełnienia. Proste mnożenie (z przeniesieniem) jest jednoznaczne z generacją sygnałów harmonicznych. Szybszy (dzięki mnożeniu) wzrost amplitudy sygnału piłokształtnego powoduje częstsze występowanie przeniesienia w sumatorze.

Konieczność generacji sygnałów wielkiej i bardzo wielkiej częstotliwości pozostawia obecnie jedyną możliwość realizacji syntezera numerycznego – konwencjonalny układ logiczny wykorzystujący tablicę wartości funkcji zapisaną w odpowiednio szybkiej pamięci. Rozwiązania mikroprocesorowe jako powolniejsze mogą pracować w zakresie małych częstotliwości, a cykliczność funkcji sinus eliminuje konieczność wykonywania obliczeń na bieżąco.

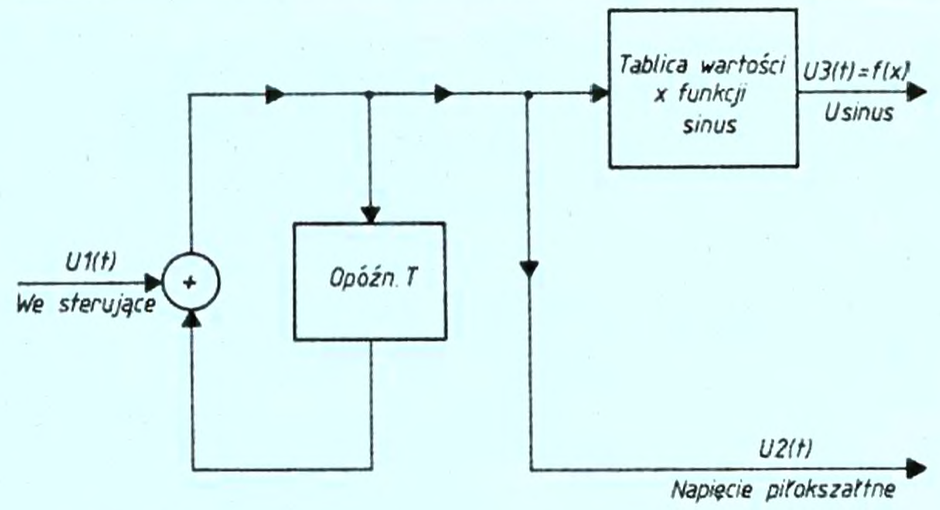
Odczytane z tablicy wartości funkcji po zamianie na postać analogową i odfiltrowaniu dają sygnał wyjściowy o częstotliwości przełączanej z bardzo dużą rozdzielczością (możliwą do uzyskania, np. w wielopętlowym układzie PLL) i dużą szybkością (odpada tu czas konieczny na ponowne zsynchronizowanie się pętli PLL). Sygnał ten charakteryzuje się b. niskim poziomem składowych pasożytniczych, a zwłaszcza szumów fazowych tak charakterystycznych dla pętli PLL.

Wartości sygnału sinusoidalnego są zapisane w tablicy jako funkcja argumentu - kąta fazowego. Ich liczba (a więc długość tablicy) jest zależna od przyjętego skoku argumentu, co oznacza, że przy skoku 1° tablica miałaby długość 360 słów. W celu maksymalnego wykorzystania dynamiki wartości te powinny być wyskalowane, tzn. przemnożone przez wartość maksymalną, możliwą do przedstawienia przy danej długości słowa. Tablica zawiera więc ciąg wartości całkowitych. Adresując kolejno komórki tablicy za pomocą licznika sterowanego sygnałem o częstotliwości zegarowej f_T otrzymujemy na wyjściu przetwornika c/a schodkowy przebieg sinusoidalny, a po odfiltrowaniu – falę sinusoidalną o okresie w tym przypadku równym $f_T/360$ i wartości międzyszczytowej odpowiadającej przyjętej dynamice układu.

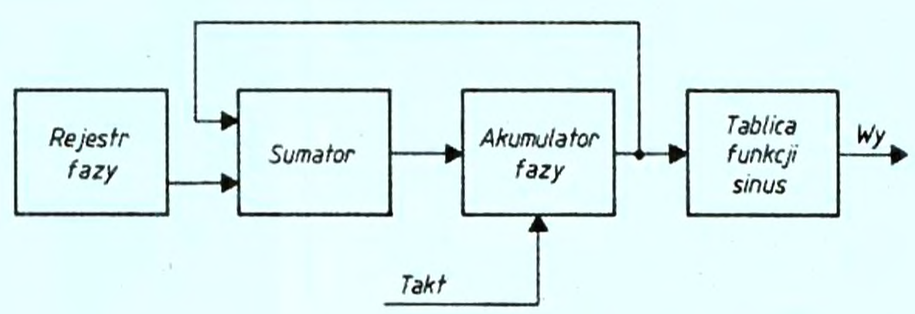
Zastępując licznik sumatorem (rys. 12) możemy adresować tablicę w stałych dowolnych skokach fazy, np. co 2° czy 3°, otrzymując odpowiednio przebiegi sinusoidalne o częstotliwościach $f_T/180$, $f_T/120$ itd. Sumator dodaje wybrany przez użytkownika stały skok do uprzedniej wartości fazy (bieżącego adresu), a uzyskany w ten sposób wynik (nowy adres) jest zapamiętywany w akumulatorze. Praca sumatora jest synchronizowana sygnałem zegarowym pochodzącym z generatora kwarcowego, co zapewnia kwarcową stabilność sygnału generowanego.

Omówiona zasada ważna jest oczywiście dla tablic z dowolnym skokiem fazy, a więc i z dowolną długością. Szczególnego rozważenia wymaga przypadek, gdy długość tablicy i skok adresów (fazy) są liczbami pierwszymi względem siebie. Dla ułatwienia rozważmy ten przypadek na przykładzie tablicy zawierającej tylko 16 wartości. Przykładowy przebieg sygnału wyjściowego przy zmianie adresu co 1 jest przedstawiony na rys. 13.

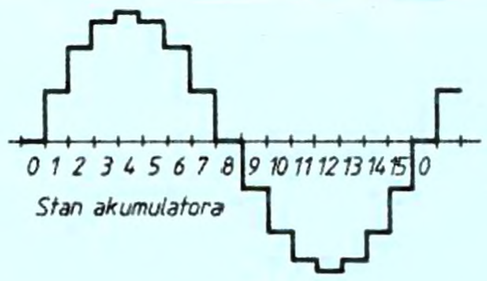
Dla dowolnej liczby N (np. 3, jak na rys. 14) po 16 krokach i osiągnięciu ponownie stanu sumatora adresów równego 0 otrzymujemy N okresów przebiegu sinusoidalnego – częstotliwość wyjściowa f_0 wynosi $N \cdot f_T/16$. Krzywa schodkowa na wyjściu przetwornika c/a ma znacznie bogatsze widmo częstotliwości ze składowymi $m \cdot f_T \pm f_0$, przy czym M jest liczbą naturalną. Wszystkie niepożądane składowe muszą być odfiltrowane przez filtr wyjściowy. Najtrudniejsza do odfiltrowania jest składowa $f_T - f_0$. Przy małych wartościach N jest ona jeszcze znacznie oddalona od pożądanej częstotliwości wyjściowej ale już przy N = 7 (rys. 15 i 16) otrzymany przebieg jest niezbyt podobny do przebiegu sinusoidalnego. Zauważalny jest tu wpływ składowej $2 \cdot f_T/16$. Jeszcze wyraźniej widać to na wykresie widma przebiegu (rys. 16). Widoczna jest składowa o częstotliwości $9 f_T/16$, jak również szereg składowych o większych częstotliwościach. Wymagania sta-



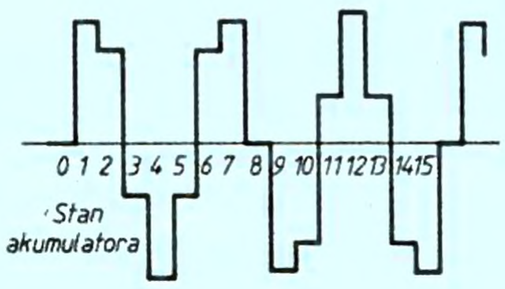
Rys. 11. Generator przebiegów sinusoidalnych i piłokształtnych



Rys. 12. Schemat blokowy syntezera cyfrowego



Rys. 13. Sygnał wyjściowy dla N = 16



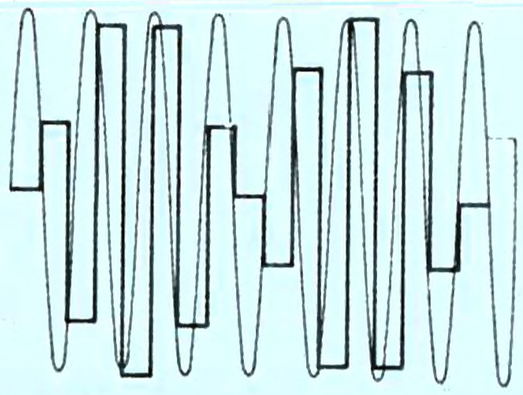
Rys. 14. Sygnał wyjściowy dla N = 3

wiane filtrowi wyjściowemu są więc dość wysokie.

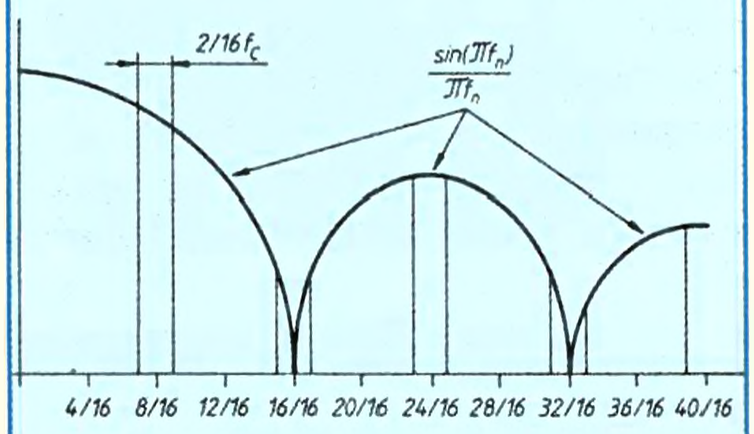
Na poziom składowych pasożytniczych istotny wpływ wywierają błędy kwantyzacji. W rozwiązaniu powyższym występują dwie wartości skwantyzowane: argument funkcji – faza, której stopień kwantyzacji (liczba bitów) określa niezbędną długość tablicy, oraz amplituda sygnału wyjściowego – tu stopień kwantyzacji wpływa na zastosowaną szerokość słowa. Intuicyjnie nasuwa się stwierdzenie, że zwiększenie pojemności tablicy, zarówno jej szerokości jak i długości (a więc liczby stopni kwantyzacji obu wielkości), zmniejsza odchyłki otrzymanej krzywejod przebiegu idealnego, a zatem i zawartość składowych pasożytniczych.

Analityczne określenie amplitud i faz tych składowych jest w układzie podwójnie kwantyzowanym dość skomplikowane. Z dużym przybliżeniem można stwierdzić, że stosunek najsilniejszej z tych składowych do generowanej nośnej wynosi –8 dB/bit kwantyzacji amplitudy i fazy. Tak więc, przy szerokości słowa 8 bitów wpływ kwantyzacji amplitudy powoduje powstanie najsilniejszej składowej o poziomie –64 dBc. Kwantyzacja fazy pogarsza dodatkowo ten stosunek. Ograniczenie negatywnego wpływu do 1÷2 dB wymaga 10-bitowej kwantyzacji fazy (1024 adresy). Dodatkowe pogorszenie powodują błędy konwersji przetwornika cyfrowo-analogowego; w praktyce należy się liczyć z kilkudecybelową różnicą. Uzyskanie odpowiedniej czystości sygnału wyjściowego jest trudniejsze przy większych częstotliwościach pracy syntezera.

Zaletą syntezerów cyfrowych jest b. krótki czas przełączania. Teoretycznie zmiana częstotliwości wyjściowej może nastąpić w dowolnym momencie, oczywiście synchronicznie z sygnałem zegarowym, w praktyce zależy to od wewnętrznej konstrukcji sumatora. Sumatory wyposażone w większą liczbę rejestrów pośrednich (spotykane często w scalonych wersjach syntezerów) charakteryzują się opóźnieniem kilku cykli zegarowych – po upływie tego opóźnienia następuje natychmiastowe przełączenie częstotliwości wyjściowej. Ogranicza ono



Rys. 15. Sygnał wyjściowy dla N = 7



Rys. 16. Widmo sygnału dla N = 7

maksymalną częstotliwość zmiany kanałów. Na rynkach zachodnich dostępny jest szereg scalonych syntezerów cyfrowych wykonanych techniką CMOS, ECL i GaAs o zakresach częstotliwości zegarowej od 50 MHz (CMOS) do 1000 MHz (GaAs) i częstotliwościach wyjściowych, odpowiednio od ok. 20 do 450 MHz. Możliwy do osiągnięcia odstęp kanałów dochodzi nawet do 0,2 μHz, a poziom sygnałów pasożytniczych nie przekracza –70 dBc. □

Cyfrowa obróbka sygnałów (5)

Krzysztof Dąbrowski OE1KDA

Zastosowania w radiokomunikacji i telekomunikacji

Obecny poziom techniki COS umożliwia konstrukcję wielu członów urządzeń nadawczo–odbiorczych i telekomunikacyjnych. Przykładowe możliwości w tej dziedzinie są przedstawione na rys. 17.

Poza członem wejściowym, złożonym z filtru dolnoprzepustowego, mieszacza, filtru p.cz. i pierwszego stopnia wzmocnienia p.cz., reszta odbiornika może być zastąpiona członem COS. Również pierwsza heterodyna – syntezer częstotliwości może być układem cyfrowym.

Procesor sygnałowy zapewnia odpowiednią filtrację, demodulację różnych typów sygnałów, dekodowanie sygnałów cyfrowych, ich transmisję przez łącze szeregowe, wzmocnienie sygnałów akustycznych i automatyczną regulację wzmocnienia.

Ze względu na wielorakość funkcji konieczne jest użycie specjalnego procesora sygnałowego. Dodatkowy zwykły mikroprocesor umożliwia osiągnięcie odpowiedniego komfortu obsługi i wyposażenie w zdalne sterowanie.

Zastosowany w tym przypadku syntezer cyfrowy wytwarza sygnał o znacznie niższym poziomie szumów fazowych niż układ złożony z szeregu pętli PLL.

Cała przedstawiona powyżej przykładowa konstrukcja wymaga jedynie bardzo prostego zestrojenia układów wejściowych.

Podobnie prosta może być realizacja COS większości członów nadajnika dostosowanego do wielu różnych rodzajów emisji i umożliwiająca optymalny dobór parametrów w każdym przypadku.

Obecnie najlepszym przykładem zastosowania technik COS w sprzęcie krótkofalarskim jest najnowszy model transceivera TS950DS firmy Kenwood. Jest on wyposażony w podwójny odbiornik z podwójnym zestawem elementów regulacyjnych i wskaźników. Cyfrowa realizacja jego członków p.cz. i m.cz. umożliwia osiągnięcie charakterystyk przenoszenia lepszych niż byłoby to możliwe w układach analogowych, dopasowanie charakterystyki m.cz. do indywidualnych wymagań operatora, uzyskanie płynnego przełączania przy pracy CW, pracę FSK o dowolnie dobranym przesuwie częstotliwości i b. skuteczne tłumienie zakłóceń. Również część analogowa transceivera nie ustępuje jakością członom cyfrowym, dzięki czemu odbiornik charakteryzuje się zakresem dynamiki wynoszącym 105 dB, tzw. "intercept point" trzeciego rzędu powyżej +24 dBm i poziomem szumów ciągłych –140 dBm. Wbudowany układ mikroprocesorowy zapewnia wysoki komfort obsługi, m.in. wyboru pasma i częstotliwości pracy, przeszukiwania pasma (połączonego z układem blokady szumów pracującym we wszystkich rodzajach emisji), 100 pamięci oraz układ automatycznego dostrajania anteny.

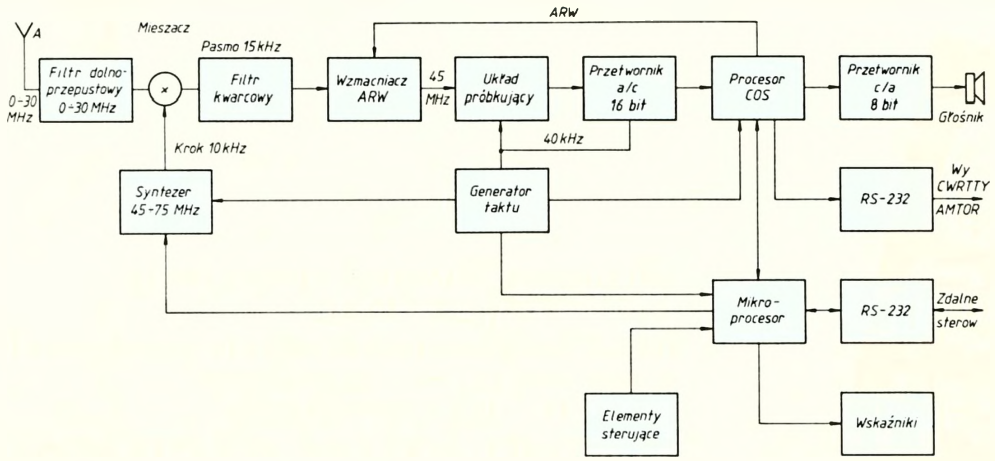
Układy cyfrowych syntezerów częstotliwości są spotykane także w wielu innych rozwiązaniach odbiorników i transceiverów.

Technika COS umożliwia też zastosowanie dodatkowych środków poprawiających jakość odbioru w warunkach silnych szumów i zakłóceń. Możliwe będzie, np. zmniejszenie szybkości telegrafowania do wartości trudnej do odczytywania przez człowieka, czy poprawa stosunku sygnału do szumu przez zastosowanie metod korelacyjnych (porównywanie podobieństwa przebiegu sygnału w różnych momentach czasowych).

Przyszłościowa sieć telekomunikacyjna ISDN umożliwia transmisję w postaci cyfrowej informacji akustycznej (telefonicznej), obrazów (telefax) i danych w dwóch kanałach z szybkością transmisji 64 kBd. Dodatkowy kanał pracujący z szybkością 16 kBd transmituje informację sterującą oraz – w przerwach – dane cyfrowe w postaci pakietów. Dodatkowe sygnały synchronizujące i pomocnicze są transmitowane z szybkością 48 kBd. Wypadkowa szybkość transmisji wynosi więc 192 kBd, a wymienione informacje są zmultipleksowane czasowo. Dwa kanały użyteczne umożliwiają równoległą pracę dwóch aparatów telefonicznych, aparatu telefonicznego i telefaxu lub jakichkolwiek innych urządzeń.

Najprostszym i najbardziej rozpowszechnionym urządzeniem pozostanie oczywiście aparat telefoniczny. Podstawowe funkcje jak przetwarzanie sygnałów akustycznych na cyfrowe i odwrotnie (zgodnie z charakterystyką A lub μ), przetwarzanie sygnałów sterujących na sygnały zajętości itp., cyfrowa filtracja sygnałów i eliminacja zakłóceń sieciowych 50/60 Hz, cyfrowa korekcja charakterystyki przenoszenia (zależna od stosowanych mikrofonów i słuchawek), multipleks i dopasowanie do linii mogą być skupione w jednym układzie scalonym, np. Am79C30A. Konstrukcja obwodu umożliwia zewnętrzne programowanie parametrów cyfrowych filtrów i wzmacniaczy. Podłączenie obwodu Am79C401 umożliwia dodatkowo konwersję danych, nadawanych w innych formatach (X.25, HDLC, SDLC, V.120) na format danych ISDN.

Stosowany w amerykańskim systemie telefonicznym dwutonowy sygnał wybierający (każdej cyfrze odpowiada para dwu z ośmiu tonów, co daje 16 możliwych kombinacji) może być także generowany i dekodowany za pomocą układów



Rys. 17. Uniwersalny odbiornik KF w technice COS

COS. Generacja oparta na przedstawionej uprzednio zasadzie syntezera cyfrowego nie nastręcza większych trudności, dekodowanie wymaga zastosowania odmiany algorytmu obliczającego transformatę Fouriera. Algorytm obliczający szybką transformatę Fouriera (FFT) jest stosowany przy większej liczbie analizowanych próbek i częstotliwości. W przypadku sygnału zawierającego kombinację z tylko ośmiu częstotliwości korzystniejsze jest stosowanie dyskretnej transformacji Fouriera – DFT. Wykorzystuje ona na bieżąco napływający strumień danych bez konieczności zapamiętywania go. Obliczone w ten sposób widmo jest poddawane dalszej analizie, umożliwiającej rozpoznanie nadanej cyfry. Przedstawione w [14] rozwiązanie oparte jest na procesorze sygnałowym μPD77P25 i w przypadku 205 iteracji (205 próbek) analiza sygnału trwa ok. 25,6 ms a rozpoznanie cyfry dodatkowe 0,5 ms.

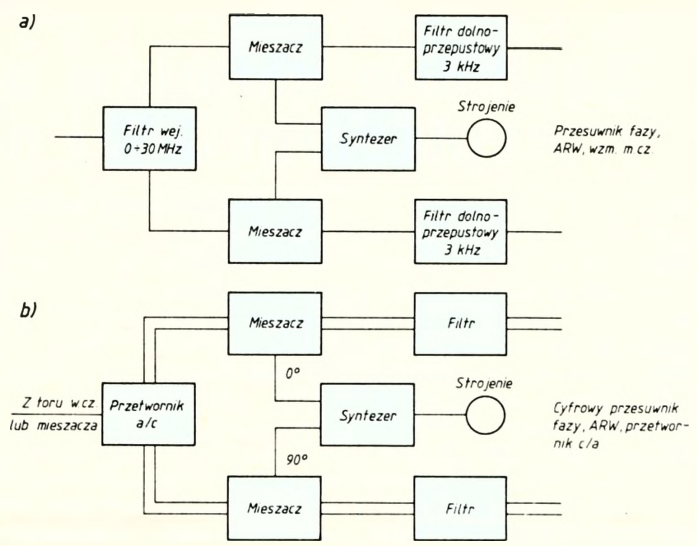
Zastosowania w technice amatorskiej

Najprostszymi i najłatwiejszymi do eksperymentowania w warunkach amatorskich są układy pracujące w zakresach małych częstotliwości, jak: modemy, detektory i dekodery emisji specjalnych. Układy te można wprawdzie dość łatwo skonstruować techniką analogową ale konieczność dostosowania się do różnorodnych możliwych standardów par tonów czy szybkości transmisji lub rodzaju modulacji, powoduje konieczność przełączania częstotliwości środkowych i szerokości pasma filtrów oraz układów dekodujących. Wymagana w tym zakresie częstotliwości, szybkość przetwarzania umożliwia zastosowanie zwykłego 16–bitowego systemu mikroprocesorowego. Układ ten może także dekodować dane w zależności od stosowanego protokółu (AX.25, AMTOR) lub nawet je wyświetlać.

Przykładowe rozwiązanie modemu cyfrowego przedstawiono w dalszej części artykułu.

Przy zastosowaniu odpowiednio złożonych algorytmów modem taki może mieć znacznie lepsze parametry (czułość, odporność na zakłócenia) niż modem analogowy.

Przedstawiony na rys. 18 odbiornik homodynowy jest wykonany prawie w całości cyfrowo. Syntezer cyfrowy dostarcza sygnału kwadraturowego (tzn. sygnałów przesuniętych względem siebie o 90°). Mieszacze i filtry (w tym przypadku filtry FIR) mogą być oparte na przedstawionych powyżej algorytmach. Filtry charakteryzują się współczynnikiem kształtu 1.1 i tłumieniem sygnałów poza pasmem przenoszenia dochodzącym do 120 dB przy szerokości słowa 24 bity. Odbiornik taki wymaga jedynie stopnia wejściowego dostarczającego sygnał o poziomie wymaganym przez przetwornik a/c i oczywiście samego przetwornika. Układ ten umożliwia wyeliminowanie podstawowej wady odbioru homodynowego – odbioru zwierciadlanego sąsiedniego kanału. Krytyczny i trudny do realizacji w postaci analogowej szerokopasmowy przesuwnik fazy może być łatwo zastąpiony przesuwnikiem cyfrowym. Rozwiązanie to odpowiada fazowej metodzie generacji



Rys. 18. Odbiornik homodynowy: a – analogowy, b – cyfrowy

sygnału SSB z uniknięciem podwójnej komplikacji układu. Liniowość charakterystyki fazowej filtrów cyfrowych umożliwia wykorzystanie odbiornika do odbioru transmisji cyfrowych. Cyfrowy układ ARW reaguje synchronicznie na zmiany poziomu sygnału wejściowego. Opóźnienie występujące w analogowych układach regulacji może być całkowicie usunięte.

Profesjonalna technika COS jest już w znacznym stopniu zaawansowana. Seryjnie budowane są układy odbiorników, transceiverów, modemów, kontrolerów TNC (DSP–1232/2232), przyrządów pomocniczych itp., w których znaczny procent członów pracuje na zasadzie cyfrowej. W niedługim czasie technika cyfrowa obejmie ich następne części i pojawią się urządzenia w pełni cyfrowe. Mimo to w technice COS pozostaje jeszcze szerokie pole do działalności amatorskiej. Oczywiście, specjalne procesory sygnałowe i niezbędne wyposażenie jest nawet w warunkach zachodnich trudno dostępne dla prywatnej kieszeni. Najkorzystniejszym w warunkach amatorskich rozwiązaniem jest wykorzystanie zwykłych mikroprocesorów w prostych samodzielnych układach, najlepiej jednopłytkowych. Jak wynika z poprzednich części artykułu, powinny to być mikroprocesory 16–bitowe, gdyż mała szybkość układów 8–bitowych ogranicza poważnie zakres ich zastosowań (również eksperymentalnych). Nawet w przypadku rozwiązań 16–bitowych zakres zastosowań ogranicza się w zasadzie do przetwarzania sygnałów o częstotliwościach akustycznych lub niewiele większych. Byłyby to więc wszelkiego rodzaju filtry telegraficzne, dalekopisowe, foniczne, szczególnie interesująca dziedzina modemów dalekopisowych, packet–radio czy faksymile lub analizatorów widma sygnałów opartych na FFT i umożliwiających analizę cech charakterystycznych, a przez to i rodzaju emisji odbieranego sygnału.

W celu osiągnięcia pożądanej przepustowości system operacyjny powinien być dostosowany do wymogów pracy w czasie rzeczywistym, czyli możliwie prosty, nie absorbujący zbyt wiele czasu procesora i zapewniający możliwie krótki, maksymalny czas reakcji. W warunkach amatorskich może być to zwykły monitor maszynowy. Wybór procesora do własnej konstrukcji powinien być uzależniony nie tylko od jego ceny i dostępności ale także od typu procesora stosowanego w posiadanym lub dostępnym komputerze, a więc od dostępnego oprogramowania umożliwiającego opracowanie i uruchomianie własnych programów.

Przy doborze pamięci EPROM i RAM należy zwrócić uwagę na czasy dostępu, nie powinny one hamować mikroprocesora.

Korzystne byłoby zastosowanie jako przetwornika a/c i c/a wspomnianego już CODEC. W zasadzie może być tu użyty dowolny przetwornik, jeżeli jego cykl konwersji będzie dostatecznie krótki. Szerokość słowa jest zależna od zakresu potrzeb, w wielu przypadkach wystarczy 8 bitów. Jeżeli planujemy eksperymenty z modemami, konieczne jest wyposażenie układu mikroprocesorowego w łącze szeregowe RS232 umożliwiające komunikację z komputerem domowym pracującym jako terminal. Komputer ten może wyświetlać także graficznie wyniki analizy odbieranych sygnałów.

Alternatywą byłaby rozbudowa systemu COS o własną płytkę graficzną i klawiaturę. Jest to jednak rozwiązanie o wiele bardziej skomplikowane układowo i programowo.

System operacyjny MS–DOS nie jest systemem czasu rzeczywistego dlatego też PC wymagałby dodatkowego wyposażenia w postaci płytki wyposażonej we własny procesor oraz przetworniki a/c i c/a. Na rynkach zachodnich są spotykane ostatnio płytki wyposażone w procesor sygnałowy, są one jednak zbyt drogie do zastosowań amatorskich. □

(Dokończenie w następnym numerze).

Cyfrowa obróbka sygnałów (6)

Krzysztof Dąbrowski OE1KDA

Interesujący układ COS, oparty na 16-bitowym procesorze "Motoroli", jest opisany w [1]. Autor opisu M. Vidmar opracował także szereg programów umożliwiających m.in. odbiór faksymile – map pogody z satelitów meteorologicznych, odbiór danych telemetrycznych z satelitów amatorskich z modulacją BPSK 400 Bd, komunikację RTTY, packet-radio FSK i MSK (modulacja Manchester) 1200 Bd, łączności satelitarne z modulacją PSK 1200 Bd oraz analizę sygnałów za pomocą FFT. Programy te są rozprowadzane nieodpłatnie w środowiskach krótkofalarskich. Napisane są one częściowo w asemblerze, częściowo w opracowanym przez autora języku wyższym, podobnym do Fortranu.

Schemat blokowy mikrokomputera COS jest przedstawiony na rys. 19.

Jak widać, układ należy do bardziej rozbudowanych. Ma własną klawiaturę, płytkę graficzną i stację dysków, co umożliwia opracowywanie programów bez konieczności korzystania z innego komputera, a także na użycie go do szeregu innych celów, wykraczających poza zakres COS. W związku ze znaczną rozbudową układ jest podzielony na szereg płytek funkcjonalnych połączonych za pomocą płytki głównej, zawierającej szyny danych, adresowe i sterujące procesora. Całość jest wyposażona w 32 kB pamięci stałej EPROM, 64 kB CMOS RAM oraz możliwość rozbudowy pamięci w blokach po 256 kB, obwód zegarowy, płytkę graficzną z pamięcią 128 kB, płytkę analogową zawierającą CODEC typu MK 5156, trzy łącza szeregowe (82C51 oraz Z8530 SCC), kontroler stacji dysków WD2797 oraz dodatkowo urządzenia peryferyjne do sterowania położenia rotorów antenowych (umożliwiające śledzenie satelitów). Zastosowana częstotliwość zegarowa wynosi 10 MHz.

System operacyjny składa się z monitora, prostego edytora ekranowego i kompilatora wspomnianego wyżej języka.

Sam mikroprocesor 68010 jest mikroprocesorem 16-bitowym wyposażonym w wewnętrzne rejestry 32-bitowe i mogącym obsługiwać 7 niezależnych sygnałów przerwań o różnych priorytetach.

Ze względu na występujące w układach mikroprocesorowych sygnały impulsowe o dosyć ostrych zboczach, różnych długościach i czasach powtarzania konieczne jest b. dobre zaekranowanie układu i odsprzężenie lub ekranowanie wszystkich przewodów dla uniknięcia zakłóceń, zwłaszcza w urządzeniach odbiorczych. W przeciwnym przypadku poziom zakłóceń może uniemożliwić wszelkie eksperymenty. Jednocześnie dobre ekranowanie nie powinno utrudniać właściwego chłodzenia układu.

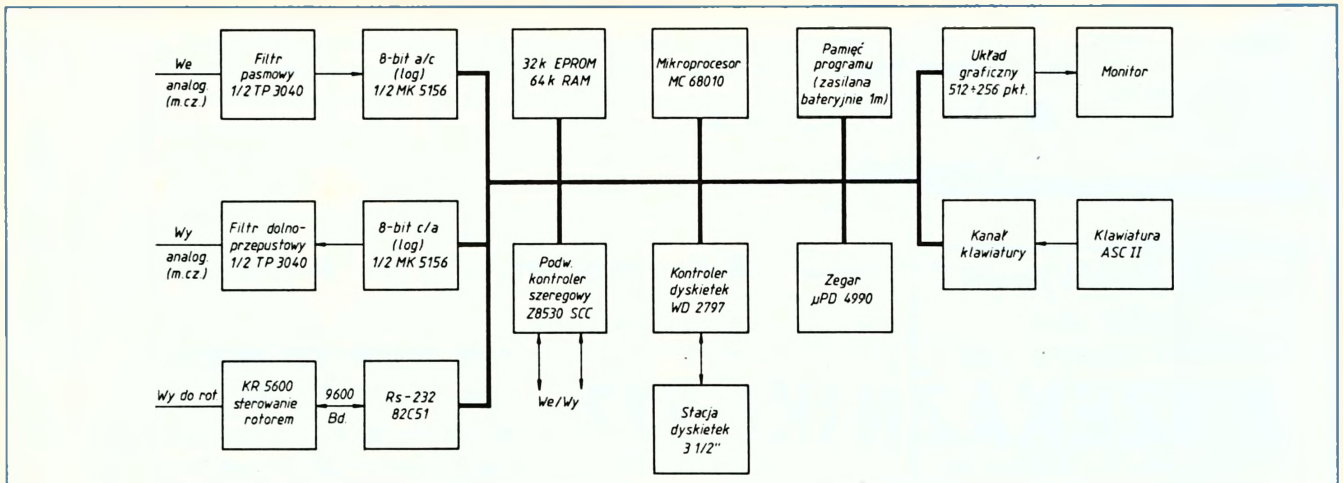
Przykładowy program (demodulator PSK)

Przedstawiony program ma służyć jedynie jako ilustracja algorytmów stosowanych w technice cyfrowej i uświadomić Czytelnikowi ich prostotę. Nie jest on kompletnym rozwiązaniem przeznaczonym do bezpośredniego wykorzystania. Jest to demodulator PSK pracujący z szybkością 1200 Bd. Program jest napisany w asemblerze procesora 68000, a cytuję go za "UKW Berichte" 3/88. Na rys. 20 przedstawiono działanie programu w postaci bloków funkcyjnych.

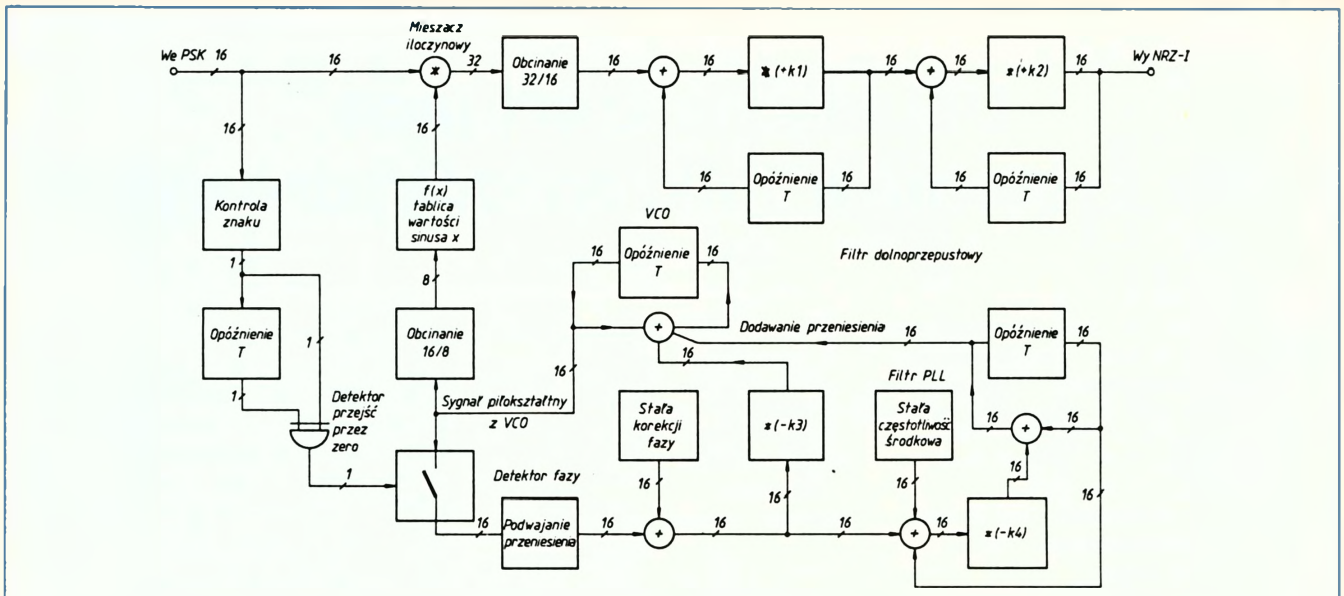
Rozwiązanie praktyczne nie ograniczyłoby się oczywiście tylko do demodulacji PSK. Dodatkowo możliwa byłaby nawet dość skomplikowana filtracja sygnału, sterowanie wskaźnika dostrojenia, podstrajanie odbiornika SSB itp. Można by też uwzględnić możliwość przełączania modemu na odbiór FSK czy MSK lub na pracę z innymi szybkościami.

Sygnał wyjściowy z odbiornika SSB (np. na pasmo 435 MHz w przypadku odbioru sygnałów satelitarnych) jest próbkowany z częstotliwością powtarzania 9600 Hz i przetwarzania na sygnał cyfrowy w logarytmicznym przetworniku 8-bitowym (CODEC), następnie linearyzowany za pomocą tablicy zawartej w pamięci EPROM i doprowadzony do wejścia układu COS w postaci 16-bitowej. W układzie COS sygnał jest poddany mnożeniu z odtworzoną podnośną. Z otrzymanego wyniku 32-bitowego jest wykorzystywane najwyższych 16 bitów (16 niższe jest po prostu obcięte). Resztki podnośnej są odfiltrowywane za pomocą dwustopniowego filtru rekursywnego, na wyjściu filtru jest otrzymywany strumień danych NRZ-I, który może być doprowadzony do wejścia TNC. Sygnał ten może być również doprowadzony do (nie przedstawionych na rysunku) dalszych stopni odtwarzających sygnał zegarowy i dane w czystej postaci.

Podwajanie częstotliwości w celu odtworzenia podnośnej zostało zastąpione rozwiązaniem przybliżonym, polegającym na detekcji przejść przez zero sygnału wejściowego. Detektor przejść przez zero steruje detektor fazy, otrzymujący z drugiej strony sygnał piłokształtny o podwójnej częstotliwości z VCO. Dla zmniejszenia liczby operacji częstotliwość sygnału piłokształtnego jest



Rys. 19. Procesor COS wg YT3MV



Rys. 20. Zasada demodulowania FSK

Uproszczony przykładowy demodulator 1200 Bd dla MC68010

Wejście : D1.W
Wyjście : D1.W
Dolny adres bloku pamięci : A2
Używane rejestry : D0, D2

```
3401                MOVE.W D1,D2              !Wczytanie próbki wejściowej z ADC
                                              !do rejestru D2
3012                MOVE.W (A2),D0            !Wyjście VCO do D0
E048                LSR.W #8,D0               !Ograniczenie zawartości D0 do 8 bitów
E348                LSL.W #1,D0               !Offset dla otrzymania parzystego
                                              !adresu
0640      0250      ADDI.W #0250,D0           !Offset początku tablicy fali
                                              !sinusoidalnej
C3F2      0000      MULS #00(A2,D0,W),D1      !Mnożenie z podnośną
310A                MOVE.W (A2)+,D0           !Wyjście VCO do D0
3212                MOVE.W (A2),D1            !Poprzedni znak do D1
0242      8000      ANDI.W #8000,D2           !Zapamiętanie znaku w D2
34C2                MOVE.W D2,(A2)+           !Nowy znak pod adres A2+
9441                SUB.W D1,D2               !Badanie różnicy znaków
670E                BEQ #0E                   !Skok przy równości znaków » ---
3400                MOVE.W D0,D2              !Wyjście VCO do D2 :
E34A                LSL.W #1,D2               !Mnożenie przez 2 (Przeniesienie):
0442      2000      SUBI.W #2000,D2           !Korekcja fazy :
3202                MOVE D1,D2                !Różnica faz do D1 :
E841                ASR.W #4,D1               !Mnożenie przez 1/16 :
9041                SUB.W D1,D0               !Korekcja fazy VCO :
321A                MOVE.W (A2)+,D1           !Częstotliwość VCO do D1 « -----
D441                ADD.W D1,D2               !Nowa częstotliwość VCO
945A                SUB.W (A2)+,D2            !Dodanie stałej częstotliwości środk.
E042                ASR.W #8,D2               !Mnożenie przez 1/256
9242                SUB.W D1,D2               !Otrzymanie nowej częstotliwości VCO
3541      FFFC      MOVE.W D1, #FFFC(A2)      !Zapamiętanie częstotliwości VCO
D041                ADD.W D1,D0               !Otrzymanie nowej fazy VCO
3540      FFF8      MOVE.W D0, #FFF8(A2)      !Zapamiętanie fazy VCO
4841                SWAP D1                   !Wynik do dolnych 16 bitów
D252                ADD.W (A2),D1             !Filtr dolnoprzepustowy nr 1
E241                ASR.W #1,D1               !Mnożenie przez 1/2
34C1                MOVE.W D1,(A2)+
D252                ADD.W (A2),D1             !Filtr dolnoprzepustowy nr 2
E241                ASR.W #1,D1               !Mnożenie przez 1/2
34C1                MOVE.W D1,(A2)+
```

podwajana dopiero po detektorze fazy. Po uwzględnieniu stałej korektury fazy sygnał wyjściowy detektora jest doprowadzony do filtru pętli. Filtr pętli (RC) jest tu wykonany w postaci filtru rekursywnego oraz układu mnożącego przez -k3. Sygnał piłokształtny z VCO jest przekodowany na postać sinusoidalną na podstawie tablicy zawartej w pamięci EPROM. Z 16 bitów jest tu wykorzystywanych tylko 8.

Teoretycznie układ może pracować z dowolną częstotliwością podnośną, w praktyce interferencja z częstotliwością szybkości transmisji i szerokość pasma odbiornika SSB ograniczają ten zakres do 1500÷1800 Hz dla szybkości transmisji 1200 Bd. Przedstawiona poniżej realizacja opisanego algorytmu wymaga do 31 μs przy okresie próbkowania 104 μs, co daje dostateczną rezerwę czasu mikroprocesora do dalszej obróbki otrzymanych danych, np. programowej realizacji dekodowania protokółu AX.25 i sterowania przetwornika analogowo-cyfrowego. □

L I T E R A T U R A

[1] "Digitale Signalverarbeitungstechniken für Funkamateure". "UKW-Berichte" 1988-1989. Matjaž Vidmar, YT3MV
[2] "Schnelle Fourier-Transformation im Amateurfunk". "UKW-Berichte" 1990. Matjaž Vidmar, YT3MV
[3] "SSB signale digital erzeugt". "Beam" 3/1990
[4] "In Zukunft digital: Signalverarbeitung wie im Computer". "Funk" nr 3/1990
[5] "A/D-Umsetzer für DSP-Anwendungen". "Elektronik" nr 6-7/1989
[6] "Hochauflosende A/D-Umsetzer für DSP-Applikationen". "Elektronik" nr 6/1990
[7] "Programme ohne DSP-Hardware entwickeln". "Elektronik" nr 23/1989
[8] "Der Signal-EMUF". "MC" nr 6-8/1988
[9] "Frequenzsynthese mit numerisch gesteuerten Oszillatoren". "Elektronik" nr 14/1990
[10] "ISDN-Endgerate mit minimum an Chips". "Elektronik" nr 13/1990
[11] "Datenreduktion von digitalen Sprachdaten". "Elektronik" nr 15/1990
[12] "Mobile Telefone für Jedermann". "Elektronik" nr 23/1990
[13] "Signalprozessoren: Boom zu erwarten". "Elektronik" nr 23/1990
[14] "8-Kanal-DTMF-Empfanger: keine weitere Hardware nötig". "Elektronik" nr 16/1989
[15] "Aktion im PC". "c,t" nr 2/1991
[16] "Vernetztes Europa. High-Tech-DSP bringt neues Licht in die mobile Telefonie". "Elektronik" nr 25/1990

oraz różne krótkie materiały informacyjne, prospekty i katalogi.